

FPGA

活用チュートリアル

2012/2013年版

トレンド

低コスト評価ボードの活用法
低消費電力が進むFPGAのデバイス技術
設計の工夫による消費電力の削減
設計ツールの最適化機能による消費電力の削減
部分再構成技術の特徴と高信頼化システムへの応用
低消費電力のプログラマブル・デバイスMPLD

専用機能ブロック活用

FPGAの専用機能ブロックの特徴
メモリ・ブロックの活用法
DSPブロックの活用法
MachXO2の組み込み機能ブロックの活用法
LatticeECP4のハード・マクロの活用法

CPUコア活用

ARM Cortex-A9 MPCore搭載FPGAの基礎知識
AXIバス・ファンクショナル・モデルの活用法
Altera社のシステム統合ツールQsysの活用法

はじめに

本書は、FPGA 設計の経験をお持ちの方が、さらに大規模、高性能なFPGAを活用していくために必要な技術をまとめています。2010年に発売した「FPGA活用チュートリアル2010-2011年版」と一部共通のテーマを取り上げていますが、最新の動向に合わせて全面的に刷新しました。

トレンド編では、大きく二つの話題を取り上げています。低価格のFPGA評価ボードと、低消費電力技術です。

FPGAが広く使われるようになり、手ごろな価格で入手可能な評価キットが増えてきました。そこで、学習用のみならず、FPGA自身の評価やちょっとした実験から、小規模な機器開発まで、幅広く活用できる仕様のボードを紹介しています。

FPGAを活用するに当たりどうしても気になるのが消費電力です。東日本大震災に伴う電力問題も長引きそうな状況の中、電子機器の低消費電力化への要求も強まっています。そこで、FPGAで消費する電力を少しでも減らすための技術や、新しいデバイス技術についても解説します。FPGAの消費電力を下げることは、FPGAを動作させるための電源回路の低コスト化にもつながります。

最近のFPGAは、論理回路を構成する基本論理ブロックのほかに、積和演算器やメモリなどの専用機能があらかじめ搭載されています。専用機能活用編では、さまざまな使い方ができるメモリ・ブロックと、DSP (Digital Signal Processing) ブロックの使い方について具体的に解説します。専用機能ブロックを効果的に活用することは、低消費電力化にもつながります。

FPGAの高集積化が進み、SOC (System on a Chip) のプラットフォームとしても利用されるようになりました。ARM Cortex-A9 MPCoreをハード・マクロで搭載するFPGAが既に発表されており、まもなく利用できるようになります。そこで、CPUコア活用編では、このプロセッサ・コアの使い道を考察し、開発・検証の際に必要な技術を解説します。

第 1 章

低コスト評価ボードの活用法 — Xilinx 編

浅井 剛

ここでは、比較的 low コストで使いやすい評価ボードのうち、Xilinx 社の FPGA を搭載する 2 製品を取り上げます。Avnet 社の「Spartan-6 FPGA LX9 MicroBoard」と「Spartan-6 FPGA LX16 評価キット」です。ボードの仕様や設計例のほか、Xilinx 社の FPGA を初めて使う場合も想定して、同社の FPGA 開発ツール「ISE」の使い方の概要も説明します。 (編集部)

1-1 Spartan-6 FPGA LX9 MicroBoard

Avnet 社の「Spartan-6 FPGA LX9 MicroBoard」は、安価で扱いやすい小型の FPGA ボードです (写真 1-1)。拡張ボード (D-A コンバータ、A-D コンバータ、加速度センサなど) も提供されています。さらにサンプル設計が豊富に提供されているので、実機動作を目標とした FPGA 設計の勉強用として適して

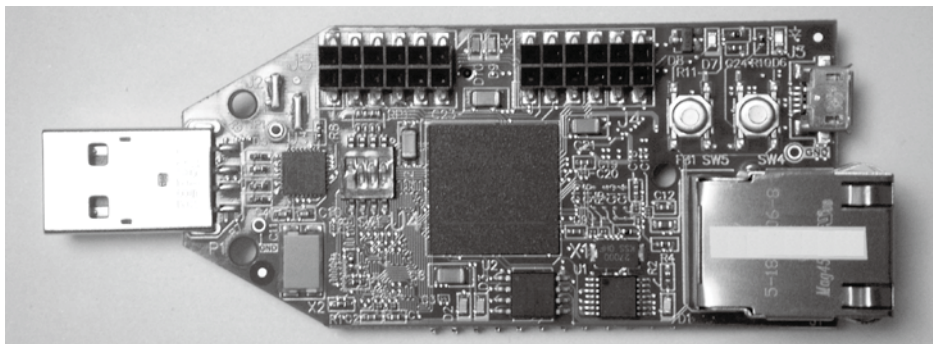


写真 1-1 Spartan-6 FPGA LX9 MicroBoard の外観

左端に USB のタイプ A コネクタがあり、直接、または USB 延長ケーブルを使ってパソコンと接続できる。非常に小型 (約 9.5cm × 3.5cm) である。

第4章

低消費電力化が進む FPGAのデバイス技術

西本桃子，木下 綾

FPGAの低消費電力化を図るためには、さまざまなアプローチがあります。消費電力を抑える技術を搭載した最新デバイスの採用や論理設計時の工夫、配置配線におけるオプションの活用です。

最新のFPGAは、消費電力を抑えるために28nmプロセスの中でも低消費電力に特化したシリコンを採用しています。また、コア電圧の低電圧化だけにとどまらず、性能と消費電力を最適化する技術を搭載しています。FPGA自体の低消費電力化技術は、世の中の流れに沿った最適なデバイスを選択できるように開発されています。

4-1 FPGA搭載システムにおける電源設計の課題

昨今、消費電力対策がシステム設計を行う上で非常に重要な課題になっています。電池で動作する携帯機器のみならず、さまざまな装置において全体の消費電力や装置の熱を抑える要求が高くなっています。

携帯機器では、消費電力に特化した部品を採用する方法が主流となっていました。あらゆる装置が小型化、高性能化、高機能化する傾向により、体系化した消費電力削減の技術が求められています。

現在のシステム設計に求められている要求事項と課題を図4-1に示します。

高性能なLSIを短期間で開発するためにはコストがかかり、製品化に対して現実的ではないことがあります。そこで、今日、高性能化、低価格化によりメイン・デバイスとしてFPGAが採用されるケースが非常に増えています。

一般的にFPGAは、フルカスタム・デバイスでないため、冗長な回路が常時動作し消費電力を抑える装置に向いていないイメージがあります。しかし、最新のFPGAでは、かつてのFPGAと比べて大幅に消費電力を抑えることができるようになりました。

第4章 低消費電力化が進むFPGAのデバイス技術

要求事項	課題
高性能	仕様を満足する設計 ・熱/実装面積/電力
低消費電力	システム・コストの削減 ・最小限の部品 ・小さい電源 ・小さいヒートシンク
小型化	
信頼性向上	信頼性の向上 ・駆動部品の削減 ・システム温度の軽減
生産性向上	生産性の向上 ・設計期間の短縮
	小型化 ・1チップ化

図4-1 システム設計における要求事項と課題

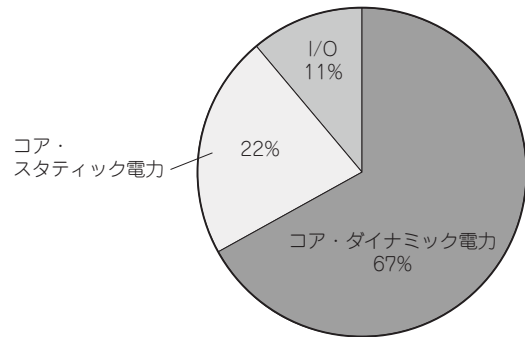


図4-2 消費電力の比率

Altera社が複数の顧客に対してヒアリングを行った結果。

● LSIが電力を消費する要素

FPGA全体の消費電力はさまざまな要因により決まります。FPGAの消費電力は以下の三つの要素から構成されます。

- ・コア・スタティック電力：待機時に消費する電力
- ・コア・ダイナミック電力：動作時に消費する電力
- ・I/O消費電力：I/Oの駆動時に消費される電力

実際の設計における、3種類の消費電力の内訳を図4-2に示します。全体の70%近くを占めるコア・ダイナミック消費電力を抑えることがFPGA全体の消費電力削減に効果的であることが分かります。

● コア・スタティック消費電力

コア・スタティック消費電力は、待機時消費電力とも呼ばれるものです。FPGAに電力が供給されている状態で、クロックが変化していないときに消費される電力であり、リーク電流が主な要因です。

コア・スタティック消費電力は、以下の要因により変わります。

- ・ダイ・サイズ
- ・動作温度
- ・製造プロセス

トランジスタのリーク電流発生の仕組みを図4-3に示します。製造プロセスの微細化によりチャネル長の短縮やゲート酸化膜が薄膜化したり、しきい値電圧が低下したりすることで、リーク電流が増加します。

● コア・ダイナミック消費電力

コア・ダイナミック消費電力は、FPGA内部の信号のトグルに起因する内部キャパシタンスの充放電

第5章

設計の工夫による消費電力の削減

西本桃子，木下綾

低消費電力化を図るためには、設計上の工夫が必要です。論理設計ではさまざまな工夫が可能ですが、最も有効なのは信号の遷移率を下げることです。クロックの制御に工夫を加える方法や、FPGAの技術を使って論理の切り替えを行うことなどにより、さらなる低消費電力化を図ることができます。

5-1 クロックの制御による消費電力の削減

消費電力を低減するためには、回路が電力を無駄に消費しないような設計をすることも必要不可欠です。

回路の中でクロックは最高速度でトグルする信号の一つです。クロックが供給されることによって、その先の各信号線のスイッチングが発生します。ここで消費されるダイナミック消費電力は、デバイス全体の消費電力の大きな割合を占めます。

● イネーブルによるクロック制御

クロックによるスイッチング動作を停止する方法として、ゲーテッド・クロック手法がよく使用されます(図5-1の上側)。ゲーテッド・クロック手法により、クロック自体のトグルを停止することで低消費電力化につながります。しかし、ゲーテッド・クロックを使用すると、クロック信号に論理回路が挿入されることになり、クロックにグリッチが発生し、それがレジスタに伝搬することによって回路の誤動作につながる可能性があります。そのためFPGAの設計においては、ゲーテッド・クロックの使用は推奨されていません。

FPGAで推奨される低消費電力化のための設計手法として、イネーブル付きのレジスタを活用する方法があります。イネーブル信号を使用することによって、レジスタからの出力データのトグルを制御でき

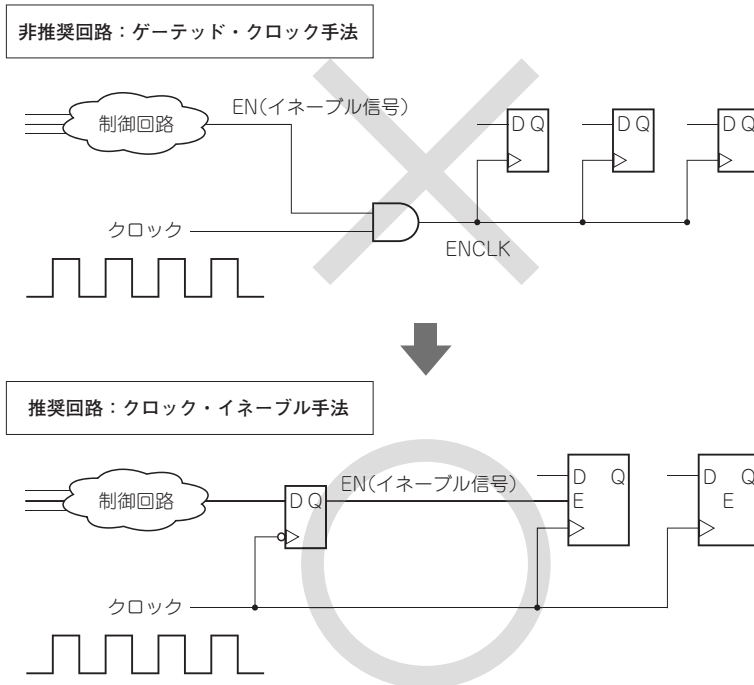


図5-1 ゲートド・クロック手法とクロック・イネーブル手法
 FPGAの設計においては、ゲートド・クロックの使用は推奨されていない。イネーブル付きのレジスタを活用する。

ます。図5-1の下側のように、レジスタを挿入し、ANDでゲートされて出力されるクロックの非アクティブ・エッジでトリガすることによって、イネーブル信号のON/OFFの切り替えのタイミングをずらしてANDゲートの出力にグリッチが発生しないようにします。この手法によって、レジスタのトグル率を抑えることにより、消費電力を低減できます。

● PLLを使用したクロック制御

FPGAの内蔵機能の一つであるPLL (Phase-Locked Loop) ブロックを使用することによって、より高度なクロックの制御ができます。

Altera社のFPGAに搭載されているPLLは、ダイナミック・リコンフィグレーションという機能を持ちます。FPGAの動作中にPLLの各パラメータを変更し、出力クロックの周波数を変更できます。

PLLのダイナミック・リコンフィグレーション機能を使用することにより、ある一定期間使用しない、もしくは常に高速クロックで動作させる必要がない回路ブロックへ入力するクロックの周波数を低くすることができます。回路のトグル率が小さくなるため、ダイナミック消費電力を低減が可能です(図5-2)。

PLLブロックは、Quartus IIのMegaWizard Plug-In Managerで生成します。設定の際にダイナミッ

第6章

設計ツールの最適化機能による消費電力の削減

西本桃子，木下 綾

FPGAの最大の特徴は、なんといっても配置配線の自由度です。つまり、配置配線の工夫も可能になるということです。Altera社のFPGAには、オプションの詳細を知らなくても簡単に配置配線ツールが消費電力に最適なオプションをナビゲートしてくれるアドバイザー機能が用意されています。消費電力の見積もり結果から、時間をかけずに消費電力軽減に有効なオプションを活用し、FPGAの配置配線においても消費電力の最適化が可能です。

6-1 プッシュ・ボタン式消費電力の最適化

ここでは、見積もった結果から消費電力を下げることを考えます。コア・スタティック消費電力については、FPGAの製造プロセス技術により最適化されています。しかし、消費電力の大半を占めているコア・ダイナミック消費電力については、論理設計や配置配線を最適化によってさらに削減することは不可能ではありません。

Quartus IIには、コア・ダイナミック消費電力を最適化するためのオプション設定があります。論理合成の段階と配置配線の段階で消費電力の最適化オプションを有効にすることができます。消費電力の最適化オプションは、設計全体もしくは、特定のエンティティに対して設定できます。組み合わせて使用することで、より製品仕様に合わせて消費電力の最適化を行うことができます。

消費電力の最適化オプションは多数あり、回路によって有効に働いたり、効果がなかったりします。そのため、ある程度繰り返し作業になる可能性があります。その際、最適化オプションの設定個所をあらかじめ把握し、オプションによる効果の傾向を考えながら設定を行うのは困難です。

そこで、Quartus IIには、消費電力を最適化する上で有効なオプション設定をナビゲートしてくれるアドバイザー機能が搭載されています(図6-1)。

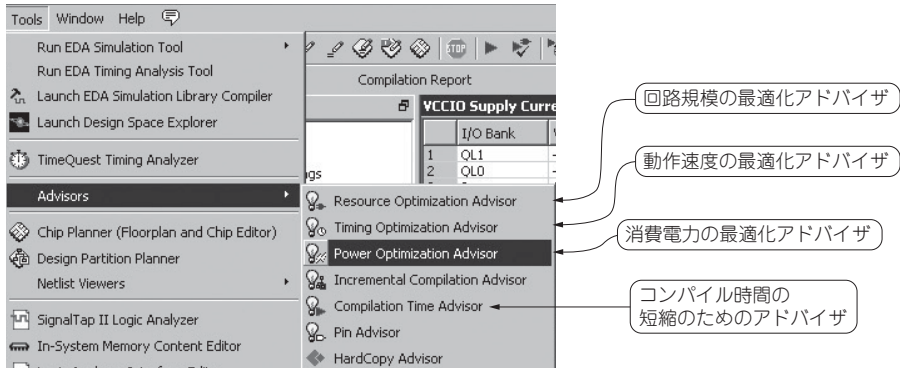


図6-1 Quartus IIのアドバイザ機能

消費電力を抑えるために有効なオプション設定をナビゲートしてくれる Power Optimization Advisor.

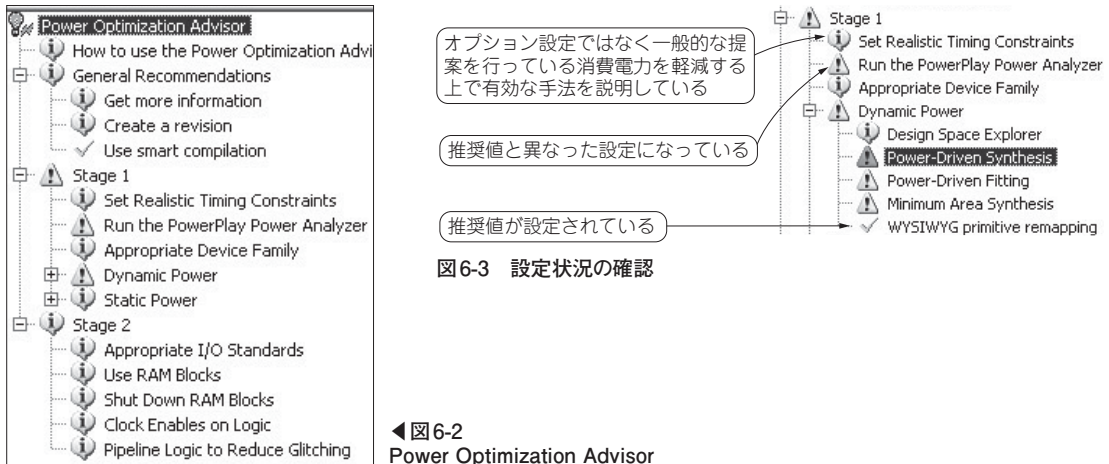


図6-3 設定状況の確認

◀ 図6-2 Power Optimization Advisor

アドバイザ機能は消費電力の最適化だけに限らず、速度の最適化や規模の最適化のためのものもあります。この機能は、Quartus IIのメニューから直接起動できます。消費電力に有効なオプション設定の一覧を表示するだけでなく、現在の設定値と推奨値を表示します。

Power Optimization Advisorは、Stage1とStage2に分類されています(図6-2)。

Stageは、推奨設定を適用させる順序です。Stage1には、最も簡単に変更できるオプションや変更が少ないオプション、コンパイル時間へ影響の少ないオプションなどが含まれています。各項目に付いているアイコンは設定状況を知らせるためのものです(図6-3)。

一番容易なのは、Stage1の項目を2~3個推奨値に変更して再コンパイルを実行する方法です。欲張って全て推奨値に変更してしまうと、設計した回路の性能やコンパイル時間に影響が出る可能性があります。そのため、Stage1から少しずつ値を変更して結果を確認するやり方をお勧めします。

第7章

部分再構成技術の特徴と 高信頼化システムへの応用

末吉敏則，一ノ宮佳裕

商用FPGAの大半は、ハードウェアでありながらソフトウェアのように書き換えて変更ができる再構成可能な論理デバイスです。とりわけ、SRAM方式のFPGAは、回路の書き換え回数が事実上無限であり、プログラムの柔軟性に優れています。そこで、単なるASICの代替用途に止まらず、ASICにない機能である再構成可能という特徴を積極的に生かした用途、例えば製造後のバグ修正やハードウェア・アップグレード、複数仕様への対応、仕様未確定段階での先行開発などでの活用があります。しかし、旧来のSRAM方式のFPGAでは、たとえ回路変更が部分的であってもデバイス全体を再構成しなければなりません。再構成時にはFPGAの内部レジスタの値が失われてしまうため、継続的に動作できないという制約になります。その制約を打破すべく登場したのが部分再構成可能なFPGAです。再構成個所以外は継続動作できるという特性を生かした用途に大きな期待が寄せられています。ここでは、FPGAの部分再構成の実際について説明するとともに、高信頼化システムへの応用例を紹介します。

7-1 部分再構成可能FPGA

部分再構成が可能なFPGAは、1995年ごろから製品化が始まりました。Atmel社のAT6000シリーズやXilinx社のXC6200シリーズです。これらは、いずれも論理セルに割り当てられたアドレスを外部から指定することにより部分再構成が可能でしたが、まだ未成熟で制約が多く、普及には至りませんでした。

その後、XC6200シリーズの直接の後継デバイスは製造されませんでしたが、Xilinx社の一部のFPGAでは、非公式ながらXAPP290設計フローやEA PR (Early Access Partial Reconfiguration) 設計フローによって、頑張れば何とか部分再構成に対応可能でした。XAPP290設計フローとはXilinx社が提供するアプリケーション・ノート「XAPP290」で紹介されている、部分再構成を用いたシステムでの設計法のことです。また、EA PR設計フローとは、XAPP290設計フローの後継の設計法で、多少使いやすくなっ

第8章

低消費電力のプログラマブル・デバイス MPLD

石黒隆，弘中哲夫

MPLD (Memory-based Programmable Logic Device) は、経済産業省の「地域イノベーション創出研究開発事業」や「新規産業創造技術開発費補助金」などを活用して、太陽誘電が広島市立大学などと共同で開発を進めている半導体メモリ・ベースの超低消費電力新世代プログラマブル・ロジック LSI の総称です。小型メモリ・アレイをネットワーク接続するシンプルな構成のため、図8-1に示すように、一般的なFPGAと比べて簡単な半導体層構造となり、低消費電力になります。また、標準CMOSプロセスで製造可能なため、ASIC向けのIPコアとしても応用できます。開発では、C言語記述またはVerilog HDL記述から回路を合成可能な専用ツールMPLD Designerを用いることができます。

本章では、このMPLDデバイス群とMPLD Designerについて、将来展開を含めて解説します。

8-1 MPLDの原理

MPLDは、MLUTと呼ぶ配線要素と論理要素の双方を実現する論理素子を相互に接続することにより論理回路を構成する仕組みです。MLUT間の接続は、LSI製造時に固定されており、MLUTの論理を変更することで所望の機能を実現します。つまり、MLUTは従来のFPGAの論理要素であるLUT (Look up Table)の機能を実現するだけでなく、配線要素の機能を同時に実現することになります。

● MPLDの基本構成

MPLDは図8-2のように、MLUTと呼ばれる素子を相互接続することで構成されています⁽¹⁾。MPLDの基本素子であるMLUTは、LUTやスイッチ・ブロック、メモリとしての機能を備えています。

MLUTの構成を図8-3に示します。一般的なメモリは、アドレス線とデータ線を持ちます。読み込み時には、アドレス線に読み込みたいデータのアドレスの値を与えると、保存されているデータが出力されま

見本

このPDFは、CQ出版社発売の「FPGA活用チュートリアル2012/2013年版」の一部見本です。

内容・購入方法などにつきましては以下のホームページをご覧ください。

内容 <http://shop.cqpub.co.jp/hanbai/books/MDD/MDDZ201205.htm>

購入方法 <http://www.cqpub.co.jp/hanbai/order/order.htm>

