

省エネルギーのための電子技術専門誌

グリーン・エレクトロニクス

Green Electronics

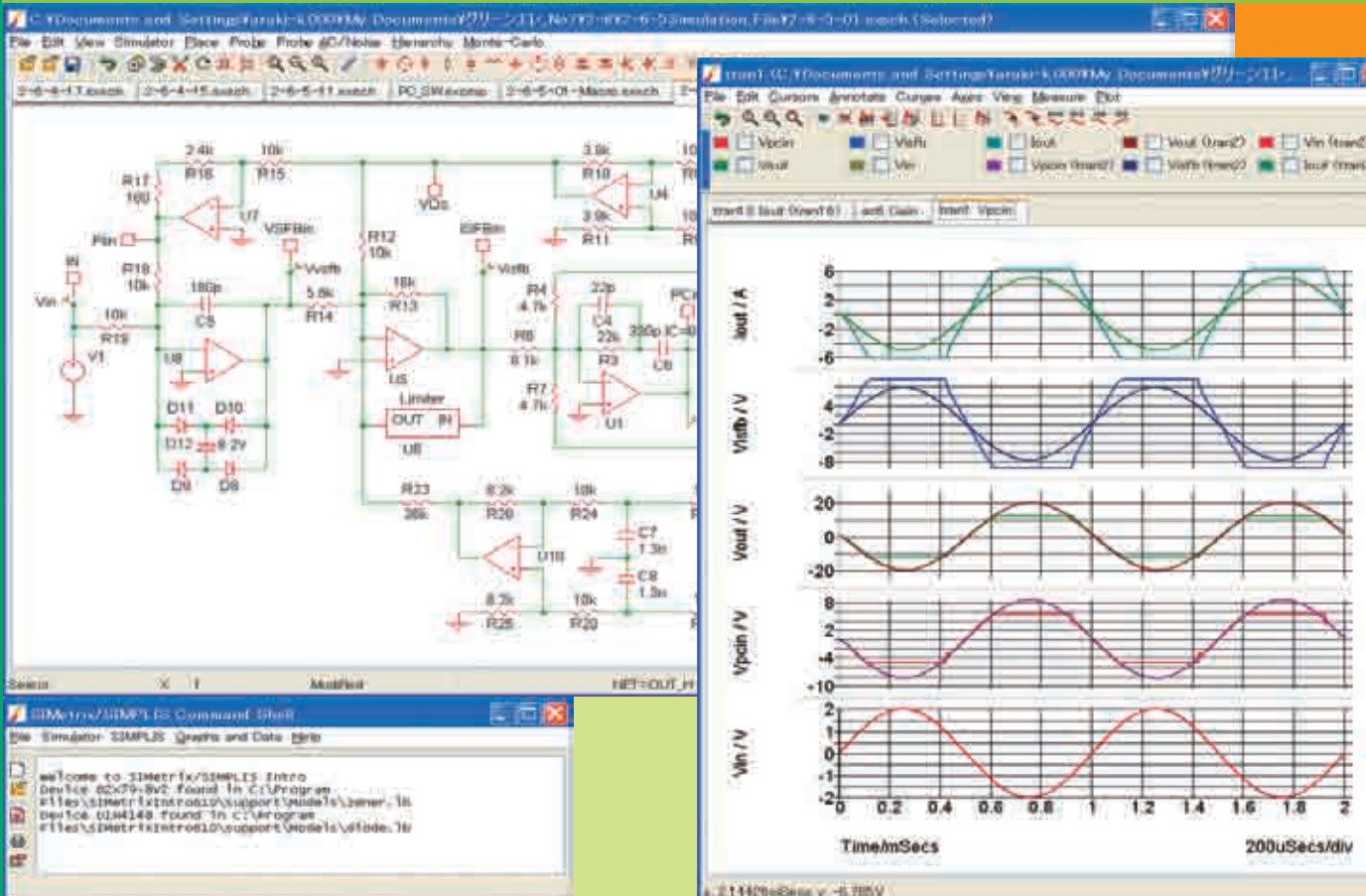
見本

No. 7

フリーの回路シミュレータで動かしながら検証する

特集 D級パワー・アンプの回路設計

- 付属CD-ROM：回路シミュレータSIMetrix/SIMPLIS Intro 6.10d (Windows版)
- デジタル選択方式スイッチト・キャパシタ電源の設計





見本

グリーン・エレクトロニクス No.7

フリーの回路シミュレータで動かしながら検証する 特集 D級パワー・アンプの回路設計

第1部 準備編

シミュレータの種類から正しい使用法まで

- 第1章 **パワー・エレクトロニクスのシミュレーション技術** 荒木 邦彌 4
- PEシステムの特徴 — 5
 - PEシステムで使えるシミュレータ — 6
 - PEシステムでシミュレータを使いこなす方法 — 8

DC-DCコンバータの解析を例にして…

- 第2章 **PE系回路シミュレータ“SIMPLIS”入門** 荒木 邦彌 10
- シミュレーション回路の作成 — 10
 - シミュレーションの実行 — 13

A級、B級、C級アンプとD級アンプの相違

- 第3章 **増幅器から変換器への転換** 荒木 邦彌 17
- D級アンプは電力変換器 — 19
 - シミュレーションで損失を比較する — 21
 - コラム B級アンプの効率計算 — 23

第2部 実践編

シミュレーションによる動作検証を行うまえに

- プロlogue **PWM方式D級パワー・アンプの構成と方式** 荒木 邦彌 24

PWM波形のスペクトラム分析

- 第4章 **PWM方式D級パワー・アンプの変調方式を検討する** 荒木 邦彌 27
- 三角波比較型とのこぎり波比較型の変調ノイズ～ハーフブリッジPWM波形のスペクトラム分析～ — 27
 - フルブリッジの変調ノイズを調べる～フルブリッジPWM波形のスペクトル分析～ — 32

ハーフブリッジD級パワー・アンプで検証する

- 第5章 **デッドタイムと高調波ひずみとPSRR** 荒木 邦彌 37
- デッドタイムで生じるひずみを自励発振式と三角波比較型他励発振式で比較 — 37
 - 自励発振式と他励発振式のPSRRを比較する — 41
 - 方形波比較型他励式と三角波比較型他励式のPSRR — 44
 - 電圧モード自励発振式のスイッチング周波数の変動を小さくする — 45

基本特性を電圧モードと比較しながら検討する

- 第6章 **電流モードのハーフブリッジD級パワー・アンプ** 荒木 邦彌 51
- 電流モード自励発振式の基本特性 — 51
 - 電流モード三角波比較他励式の基本特性 — 55
 - 電流モードと電圧モード自励発振式のPSRR — 58
 - 電流モード自励発振式を定電圧出力に変換する — 60

波形ひずみや素子の破壊を招く

- 第7章 **電源電圧が変動するパンピング現象とその対策** 荒木 邦彌 64
- パンピングのメカニズム — 64
 - パンピングの対策方法 — 67

CONTENTS

	制御部の設計が損失やEMCを左右する	
第8章	フル・ブリッジ方式D級パワー・アンプの設計 荒木 邦彌	68
	■ フル・ブリッジ電力変換部の変換効率 — 70 ■ 電力変換部を簡易モデル化する — 72	
	■ 電流シャント・モニタとOPアンプの簡易モデル化 — 74 ■ 制御部の設計 — 78	
	■ 過電流保護特性を改善する — 86	
	■ コラム 位相余裕とゲイン余裕 — 81	
Appendix-A	SIMetrix/SIMPLIS Introのインストール手順と制限事項 高橋 謙司	90
	■ インストールの手順 — 90 ■ イントロ版の制限事項 — 91	
Appendix-B	付属CD-ROMの内容と使用方法 編集部	94

GE Articles

デジタル・パワー・アンプへの応用も可能な

研 究	デジタル選択方式スイッチト・キャパシタ電源の設計 大田 一郎	96
	■ 寄生素子による電圧降下 — 96 ■ 各種スイッチト・キャパシタ電源と特性解析 — 97	
	■ 2倍昇圧スイッチト・キャパシタ電源の試作 — 100	
	■ デジタル選択方式スイッチト・キャパシタ電源 — 102	
	■ デジタル・パワー・アンプへの応用 — 104	

高耐圧ならではの熱対策やサージ・ノイズ対策

デバイス	100~1200V耐圧のゲート・ドライバICの使い方 西村 康	107
	■ ブリッジ回路も1チップで簡単に駆動できる高耐圧ゲート・ドライバIC — 107	
	■ ドライバIC一般のトラブル例：起動しない！ — 108	
	■ ドライバIC一般のトラブル例：出力波形が発振している！ — 109	
	■ 大電力を扱う際のトラブル例：チップ温度が定格温度以上になってしまう — 110	
	■ 高耐圧ならではのトラブル例：サージ電圧で定格電圧を超えてしまう — 111	

太陽電池の発電エネルギーを安定化して商用電源ラインに流し込む

解 説	太陽電池用パワー・コンディショナの基礎知識 梅前 尚	113
	■ 働き — 113 ■ 分類 — 114 ■ 特有の機能 — 115	
	■ 太陽電池の発電能力を100%引き出すMPPT制御 — 116	
	■ 電力系統を保護するために — 117	
	■ 動作電圧の異なる太陽電池モジュールを接続する方法 — 118	

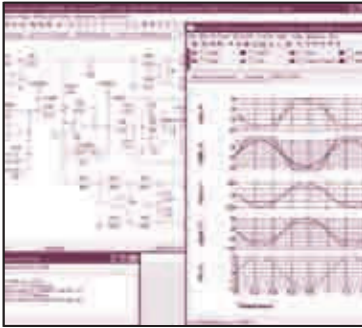
発光のしくみから寿命の長さまで

解 説	照明用LEDの基礎知識 汲川 雅一	120
	■ 人工光源のいろいろ — 120 ■ LEDの構造と発光のメカニズム — 121	
	■ 高効率化の技術 — 122 ■ 寿命の長さ — 123	

放熱の必要性から故障率の考え方まで

解 説	照明用LEDの発熱と寿命 汲川 雅一	124
	■ LEDの効率 — 124 ■ LEDの発熱と放熱 — 124 ■ LEDのパッケージ — 126	
	■ LEDの故障しにくさ — 126 ■ 一般照明用LEDパッケージの規格化 — 127	

第 1 章



シミュレータの種類から正しい使用法まで パワー・エレクトロニクスの シミュレーション技術

荒木 邦彌
Araki Kuniya

パワー・エレクトロニクス(Power Electronics, 以下 PE)のシステムは、電力、電子および制御技術を統合した技術分野です。D 級パワー・アンプも PE システムの仲間です。ここでは、シミュレーション技術から PE システムの特徴を見てみます。

PE システムの主役は、**半導体スイッチを使った電力変換回路**です。スイッチング装置を含む回路を解析的に解くのは非常に困難で、数値計算解析法、すなわちシミュレーションに頼らざるをえないと言われています(1)。

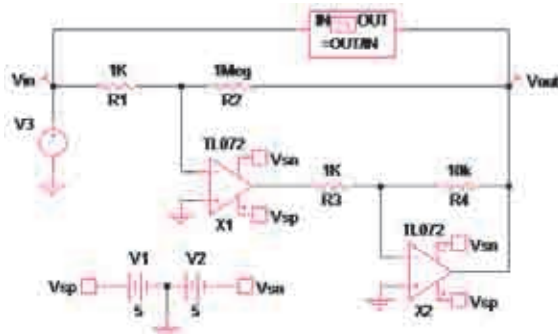
シミュレーションは、実験、試作の代わりとして非

常に有効であり、アイデアをすぐに試せます。実回路を組み立ててデバッグするのに比べて、素子の定数や特性の変更、回路動作の確認が容易であり、短時間で結果を出すことができます。実験、試作に比べて、安全で安価、そして短納期であると言えます。

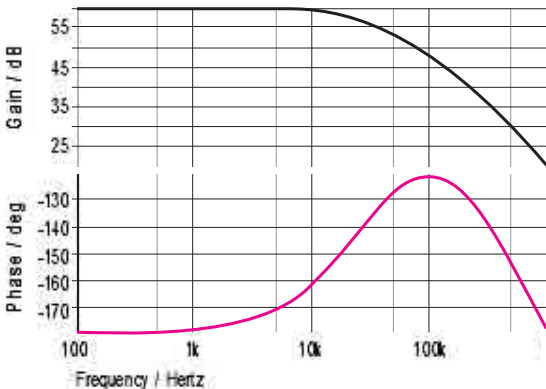
シミュレーションでの電圧、電流のデータは、実機が動作不良の場合の指標にすることができ、実機デバッグの能率向上に役立ちます。シミュレーションで動作確認が済んでいれば、自信をもって実機の製作に入れます。

プロジェクト管理の面からは、試作工程の不確定性を下げる有用な手段として評価されています。今や、シミュレーションなしで実機の製作に入るのは無謀と言えます。

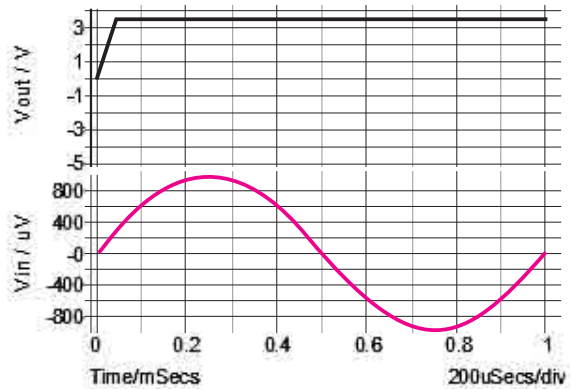
しかし、シミュレータは万能ではありません。シミュレータの特性と PE 回路の動作に習熟していないと、誤った結果を信用してしまう危険があります。例えば、図 1(a)に示すフィードバック回路の AC 解析(周波数応答解析)では、DC の位相(極性)が反転して実機では絶対動かない回路でも、シミュレーションでは図 1(b)のようなもっともらしい結果を出力することがあります。図 1(c)のように過渡解析などを併用して、正常に動作しているかどうかを確認することが必



(a) 正帰還となっている、誤ったシミュレーション回路

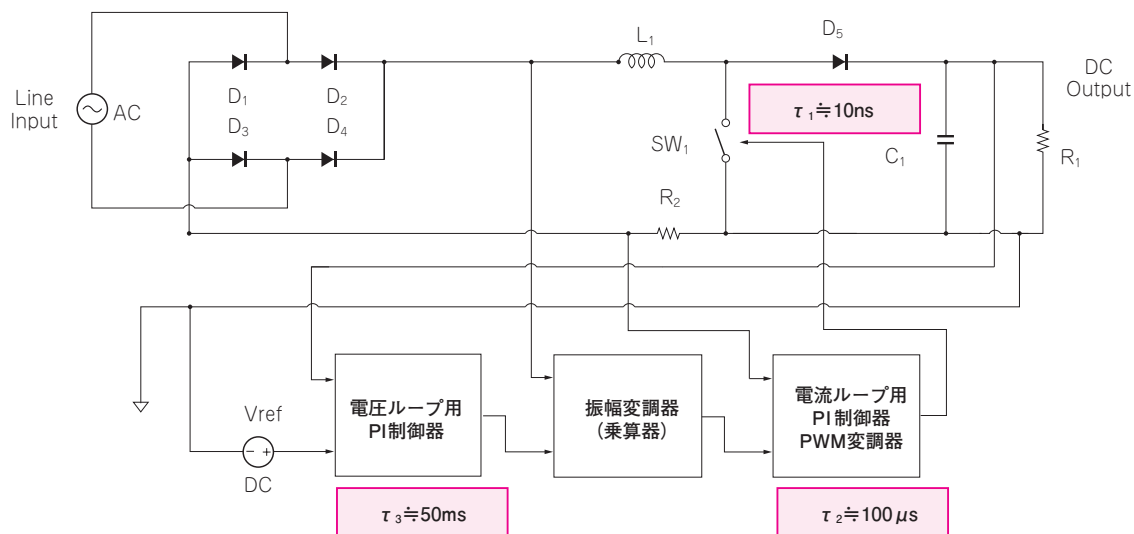


(b) 間違ったシミュレーション結果(AC解析)



(c) 正しいシミュレーション結果(過渡解析)

〈図 1〉シミュレータが間違った結果を出すこともある
AC 解析では正帰還でも、もっともらしい負帰還の結果を出す。過渡解析などを併用して正常動作を確認する



〈図2〉 PFC 整流回路

パワー・エレクトロニクスはスティフなシステム。SW₁は昇圧コンバータのスイッチング動作をしており、時定数(τ₁)は10ns程度である。電流ループの時定数(τ₂)は100 μs、電圧ループの時定数(τ₃)は50ms程度である。数値積分の刻み幅は最小時定数の10分の1、マクロな動きを観測するには最大時定数の10倍が必要とすると、このシステムでは5secを1nsの刻みで演算しなければならず、そのステップ数は5 × 10⁹と膨大な数になる

要です。

また、理論的に深く考えず回路の切り貼りに終始してしまい、思いつきばかりで理論的考察が二の次になる危険もあります。実機での経験の浅い技術者は注意が必要です。

PE システムの特徴

PE システムをシミュレーション技術から見ると、

- (1) システムのハイブリッド性
- (2) スイッチングの動作
- (3) スティフネス(stiffness；剛直性)に特徴があります

● システムのハイブリッド性

PE システムは電力、電子、制御の統合技術です。ここで、すでにハイブリッド技術であると言えます。

負荷装置を見ると、LCRの線形電気回路、整流回路の非線形回路、電動機(モータ)の電気→機械エネルギー変換装置、バッテリーは電気→化学エネルギー変換装置と、マルチ・フィジックスの分野にまたがっています。

制御システムでは、アナログ要素、デジタル要素、そしてファームウェア、ソフトウェアに広がっています。システムを表現するには、回路図、ブロック線図、微分方程式、差分方程式、伝達関数、状態方程式などが使われています。

● スイッチングの動作

PE システムは、電力半導体をスイッチング動作で使用し、スイッチの開閉時間を制御して電力変換を行います。

非常に急峻な過渡現象であるスイッチング動作は、非線形性と不連続性が伴うため、解の不連続性、不安定性が原因の、収束エラーの発生による計算の中断、数値積分法に関連した数値的振動、計算誤差の蓄積、計算速度の極端な低下などの不具合をシミュレータに発生させます。

特に連続性を前提としたSPICE系の回路シミュレータは、収束エラーの発生による計算の中断、数値積分法に関連した数値的振動が発生する場合があります。

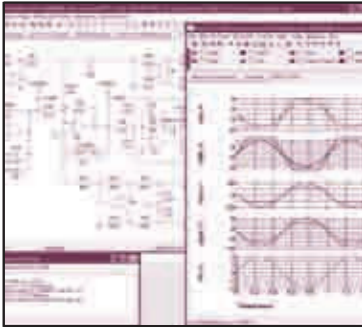
● スティフネス

速い動作と遅い動作が混在しているシステムをスティフなシステムと呼びます。PE システムは代表的なスティフなシステムです。マクロな動作とスイッチング素子の急峻な動作間の時間的乖離が大きいからです。

シミュレーションの数値積分の刻み幅は、速いスイッチング周期に合わせて決めなくてはなりません。一方、マクロな動作全体を観測するには、システムに含まれる最も長い時定数の10倍程度の時間を必要とします。その結果、シミュレーションには膨大にステップ数が必要になるわけです。これは、システムに動きが緩慢で大きな時定数をもつ、機械や熱システムを含む場合、顕著なものとなります。

図2に、スティフなPEシステムの例として、代表

第2章



DC-DC コンバータの解析を例にして… PE 系回路シミュレータ “SIMPLIS”入門

荒木 邦彌
Araki Kuniya

SIMPLIS(シンプリス)はDC-DC コンバータ、D 級パワー・アンプなどの PE システム用に開発された回路シミュレータです。パワー・スイッチングを含む回路を解析する場合に、SPICE 系の回路シミュレータがもつ、収束エラーが発生しやすい、解析時間が長い、AC 解析(周波数応答解析)ができないなどの欠点を解決してくれます。

しかし、デバイス・モデルの精度が十分とは言えません。ダイオード、ツェナー・ダイオード、BJT、MOSFET は SPICE モデルから自動変換する機能をもっていますが、基本的な要素のみをパラメータ変換するのがほとんどです。

図 1 に MOSFET の SIMPLIS モデルを示します。モデル・レベルに“0001”、“0011”、“1032”の 3 レベルがあります。シンプルな“0001”がデフォルトで最高速、“1032”は詳細ですが解析速度は遅くなります。

SIMPLIS の長所を活かすには、詳細モデルを使って解析時間を犠牲にするよりも、シンプルなモデルで高速解析を選ぶべきだと思います。そして、スイッチング波形を重視する、スナバやスイッチング素子の損失の解析などには、SPICE 系の SIMetrix で詳細モデルを使うのがよいでしょう。

本章では、Buck コンバータを例にして SIMPLIS の使いかたを説明します。シミュレータのインストール法、回路図の描きかたなどの基本的な事項は、本誌付属の CD-ROM 内の『SIMetrix/SIMPLIS 簡易マニュアル(第2章 すぐに始めましょう)』, Tutorial_2.doc』, または文献(1)を参照してください。

シミュレーション回路の作成

● 回路図の作成

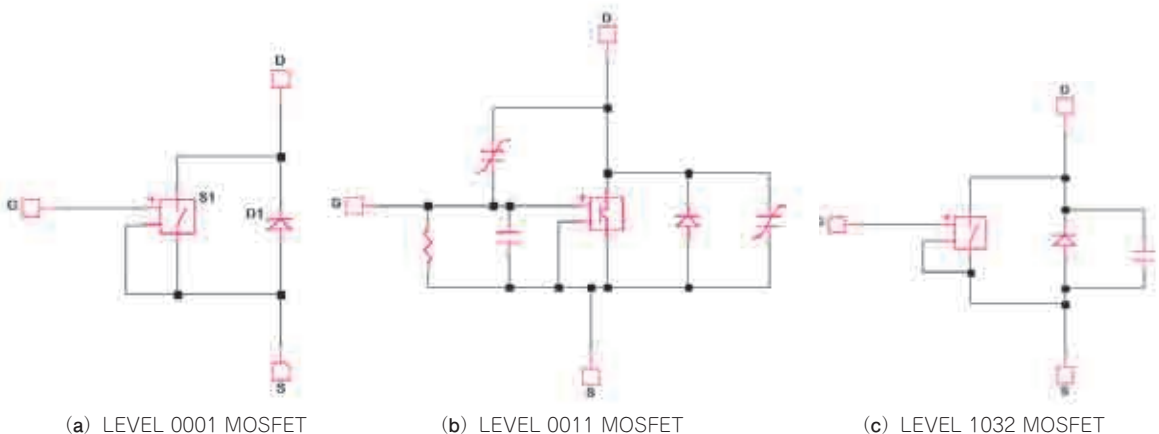
SIMetrix/SIMPLISIntro6.00 が、パソコンの C ドライブにインストールされているものとします。

① SIMetrix_SIMPLIS を起動します。起動すると図 2 のような Command Shell がデスクトップ上に開きます。

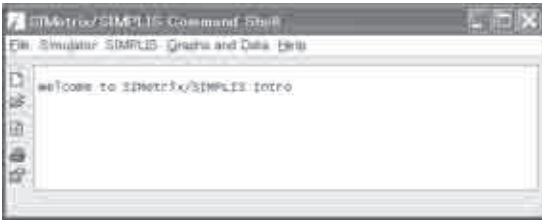
② Command Shell のメニューから、File → New Schematic のクリックで、図 3 の回路図ウィンドウが開きます。

③ 回路図ウィンドウのメニューから、File → Select simulator から SIMPLIS を選びます(図 4)。デフォルトは SIMetrix です。

④ 回路図ウィンドウのメニューから、File → Save



〈図 1〉 SIMPLIS の MOSFET のデバイス・モデルには 3 レベルある (SPICE モデルから自動変換できる) 解析速度は LEVEL 0001 が最高速、LEVEL 1032 が最低速



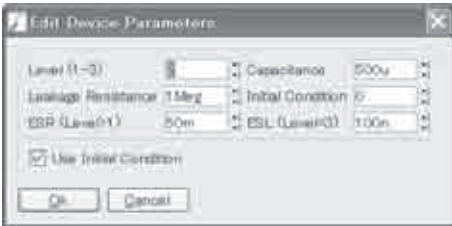
〈図2〉 SIMetrix/SIMPLISの起動が成功すると開く Command Shell(コマンド・シェル)



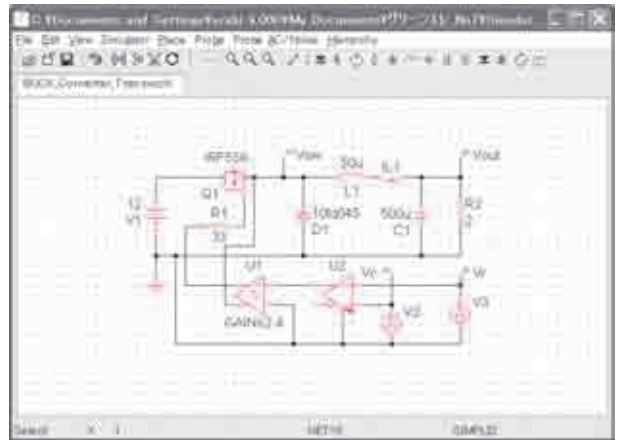
〈図3〉 回路図ウィンドウ
Command Shell → File → New Schematic, または Command Shellの白紙のアイコンをクリック



〈図4〉 シミュレータ・セレクト
クタ
回路図ウィンドウ・メニュー
で File → Select simulator



〈図6〉 電解コンデンサのパラメータ編集ウィンドウ
LEVEL を2~3にすると ESR が, 3にすると ESR, ESL が有効になる。Use Initial Condition にチェックを入れて有効にし, Initial Condition は 0V に設定



〈図5〉 回路図ウィンドウに回路図を描く
必ずファイル名を付けてセーブする。ファイル名は ASCII 文字だけを使うのが無難



〈図7〉 ロス入りインダクタのパラメータ編集ウィンドウ
Use IC にチェックを入れて有効にし, Initial Condition は 0A に設定

As... をクリックし, 図に名前を付けてセーブします。セーブしないとシミュレーション動作が始まらない場合があります。セーブするフォルダ名と図名には ASCII 文字のみを使うのが無難です。

⑤ 回路図ウィンドウに図5のように回路を描きます。図5の回路は付属の CD-ROM にも添付してあります。

● 採用した部品の説明

図5の Buck コンバータに採用した部品について説明します。

▶ C_1 : 電解コンデンサ

選択先: 回路図ウィンドウのメニューから, Place

→ Passives → Electric Capacitor(Simple)

Device Parameter: 図6(C_1 を左ダブルクリックすると開く)で設定します。

ESRを有効にするには, Level(1-3)を2以上にします。デフォルトは1です。初期値(Initial Condition)は0にし, “Use Initial Condition”にクリックを入れます。

▶ D_1 : ショットキー・バリア・ダイオード

選択先: 回路図ウィンドウのメニューから, Place → From Model Library → Select Device → Diode

▶ L_1 : インダクタ(ロスあり)

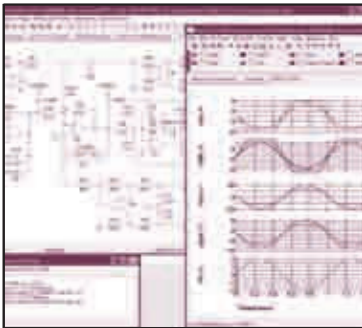
選択先: 回路図ウィンドウのメニューから, Place → Magnetics → Lossy Inductor

Device Parameter: 図7(L_1 を左ダブルクリックすると開く)で, Series Resistance を 50m に設定します。初期値(Initial Condition)は0にし, “Use IC”にクリックを入れます。

▶ Q_1 : MOSFET

選択先: 回路図ウィンドウのメニューから, Place → From Model Library → Select Device → NMOS

第3章



A級, B級, C級アンプとD級アンプの相違 増幅器から変換器への転換

荒木 邦彌
Araki Kuniya

スイッチング・パワー・アンプは、D級パワー・アンプとも呼ばれます。この呼称はリニア・パワー・アンプのA級, AB級, B級, そしてC級アンプからの連続として命名されたと思われます。

本章では、シングルエンド・プッシュプル回路でA級, AB級, B級のリニア・パワー・アンプとD級を対比しながら、回路シミュレータで効率を考察してみます。効率とは「出力電力÷電源入力電力」です。

図1がMOSFETを用いたA～C級のシングルエンド・プッシュプル回路の出力段の例です。Q₁はNチャネル, Q₂はPチャネルのMOSFETで、ソース・フォロワで動作します。V₄, V₅は正負の電源, V₁は入力信号です。負荷R₁にパワーが供給されます。

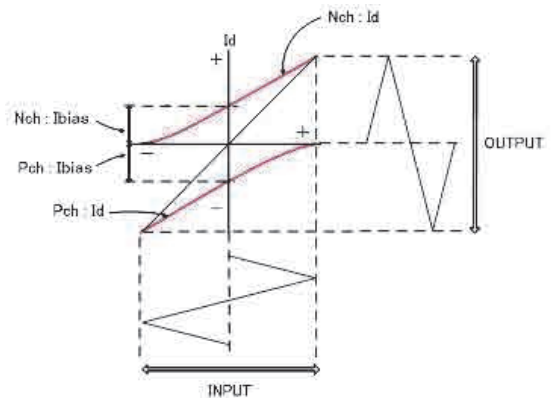
A～C級の動作級(operating class)はバイアス電流の大きさで決まり、そのバイアス電流はV₂, V₃の電圧で制御されます。

図2～図5は、A～C級アンプの入力信号(図1のV₁)対Q₁, Q₂のドレイン電流(図1のI_{d_Q1}, I_{d_Q2})

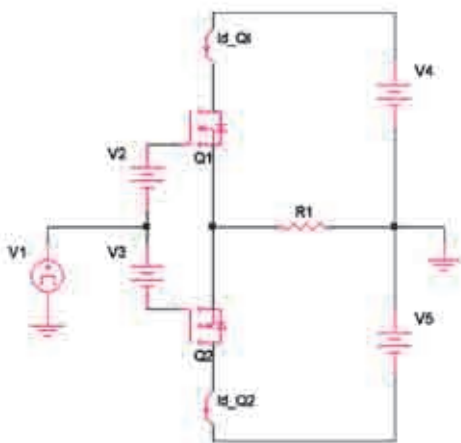
の特性です。

● A級動作

A級のバイアス電流は最大ドレイン電流の約1/2に設定され、各MOSFETのドレイン電流が全動作域でゼロになりません。

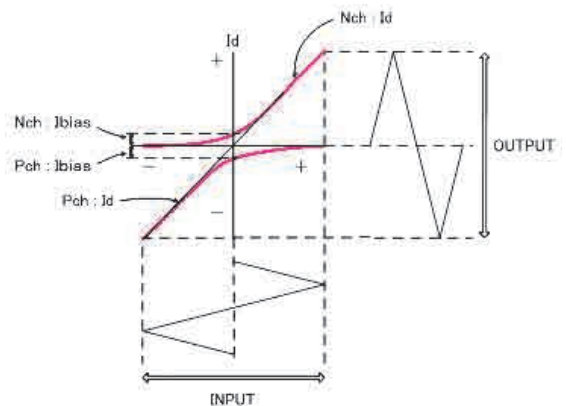


〈図2〉A級プッシュプル・パワー・アンプのバイアス・ポイントと入出力特性
直線性は一番優れている。効率は最低、無出力時と最大出力時の電源入力電力は同じ値



〈図1〉A級, AB級, B級およびC級シングルエンド・プッシュプル回路

Q₁はNch, Q₂はPchのMOSFETで、ソース・フォロワで動作する。V₄, V₅は正負の電源, V₁は入力信号。負荷R₁にパワーが供給される。A～C級の動作級はバイアス電流の大きさで決まり、そのバイアス電流はV₂, V₃の電圧で制御される



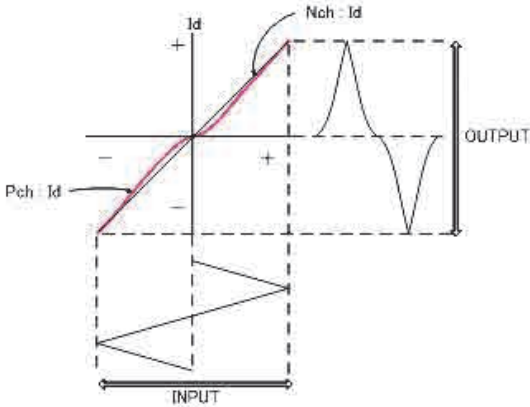
〈図3〉AB級プッシュプル・パワー・アンプのバイアス・ポイントと入出力特性
バイアス電流はなるべく少なくするが, I_dは全域でゼロにならず、正負の合成特性が直線となるのが理想

● B 級動作

B 級では入力信号がゼロのとき、バイアス電流もゼロに制御されます。B 級は電源入力電力から出力電力への変換効率では C 級に次いで優れていますが、入力がゼロのとき、ドレイン電流をいつもゼロに保ち、かつ不感帯をゼロに維持することが困難です。

Q_1 , Q_2 の非直線性によるひずみは、前段の電圧増幅段や制御回路と組み合わせたネガティブ・フィードバックで改善します。不感帯も少しはネガティブ・フィードバックで改善されますが、皆無にすることはできません。

そのため、ゼロ付近の波形の不連続性が問題にならないアプリケーションに採用されます。



〈図4〉B 級プッシュプル・パワー・アンプのバイアス・ポイントと入出力特性

バイアス電流はゼロで、 I_d ゼロの付近での不感帯もゼロが理想。 V_{gs} 対 I_d の非直線が原因の波形ひずみが大きい制御回路で補償できる。 I_d ゼロの付近での不感帯も制御回路で補償できるが、ゼロにはできない

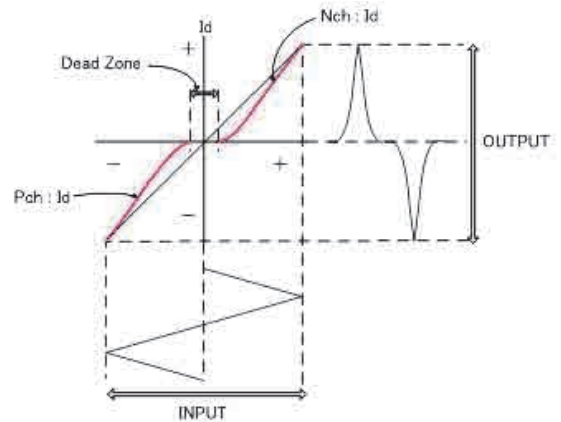
● AB 級動作

AB 級は A 級と B 級の中間のバイアス電流に制御されます。入力信号がゼロのときのバイアス電流はなるべく少なく、各ドレイン電流が全動作域でゼロにならず、かつ、正(Nチャネル)負(Pチャネル)の特性を加算した値が1、すなわち正負の合成特性が直線となるのが理想です。

● C 級動作

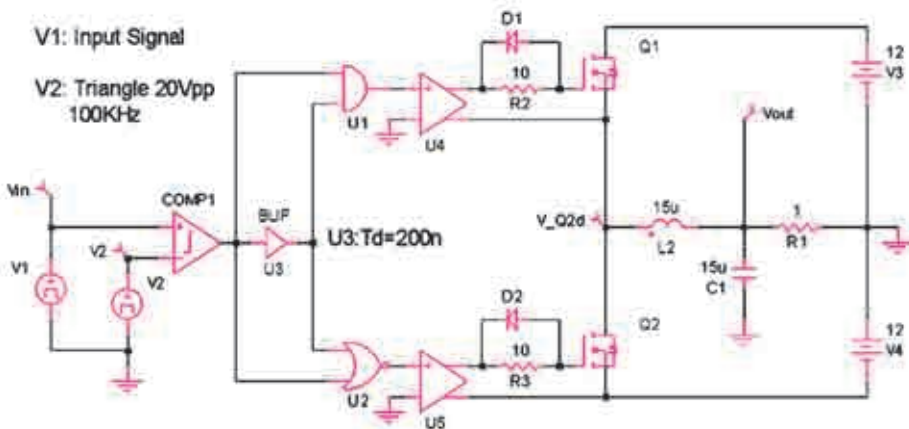
C 級はゼロ・バイアスで動作し、負荷電流がゼロの付近は不感帯となり、出力波形には大きなひずみが発生します。

共振回路と組み合わせて、通信用送信機の出力段な



〈図5〉C 級プッシュプル・パワー・アンプのバイアス・ポイントと入出力特性

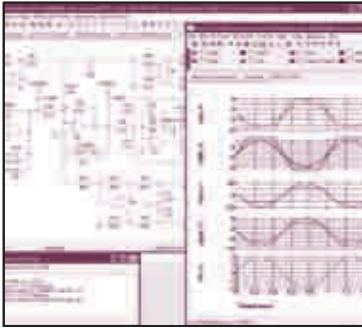
負荷に共振回路をもつ通信用出力用段などに使われる。汎用アンプとしての応用は少ない



〈図6〉D 級パワーアンプ(PWM 方式スイッチング・アンプ)

V_1 : 入力信号, V_2 : パルス幅変調(PWM)用三角波, $COMP_1$: PWM 用コンパレータ, U_1 , U_2 , U_3 : デッド・タイム発生用ロジック, U_4 , U_5 : MOSFET ドライバ, Q_1 , Q_2 : 主回路(出力段)MOSFET スイッチ, C_1 , L_1 : PWM 復調用ローパス・フィルタ, R_1 : 負荷抵抗

第4章



PWM 波形のスペクトラム分析 PWM方式D級パワー・アンプの 変調方式を検討する

荒木 邦彌
Araki Kuniya

本章のテーマは、主回路出力波形のスペクトラムを分析し、変調方式とトポロジーの特長を明らかにすることです。ハーフ・ブリッジ主回路で、三角波とこのごり波の違いを、フル・ブリッジ主回路で2値と3値方式の違いを検討します。

三角波比較型とこのごり波比較型の変調ノイズ ～ハーフ・ブリッジPWM 波形のスペクトラム分析～

本節では、PWM方式D級パワー・アンプの動作原理を確認したのち、PWM波形の周波数スペクトラムをFFT解析して、三角波変調方式とこのごり波変調方式の違いを調べます。

PWM変調方式としては、キャリア成分+変調積成分+それらの高調波成分(変調ノイズ)が少ない方式が望まれます。変調ノイズが少なければ、同じS/Nを得るのに復調フィルタの構成がシンプルになります。

そこで、代表的な三角波方式とこのごり波方式の変調ノイズの大きさを比較してみます。

■ D級アンプの基本形を例に

● 電圧モード、ハーフ・ブリッジ方式

例題回路は、D級パワー・アンプの基本形である「電圧モード、ハーフ・ブリッジ方式」です。

この回路の仕様を表1に示します。

● 例題回路の構成

図1は、D級アンプの動作原理を確認するための回路です。

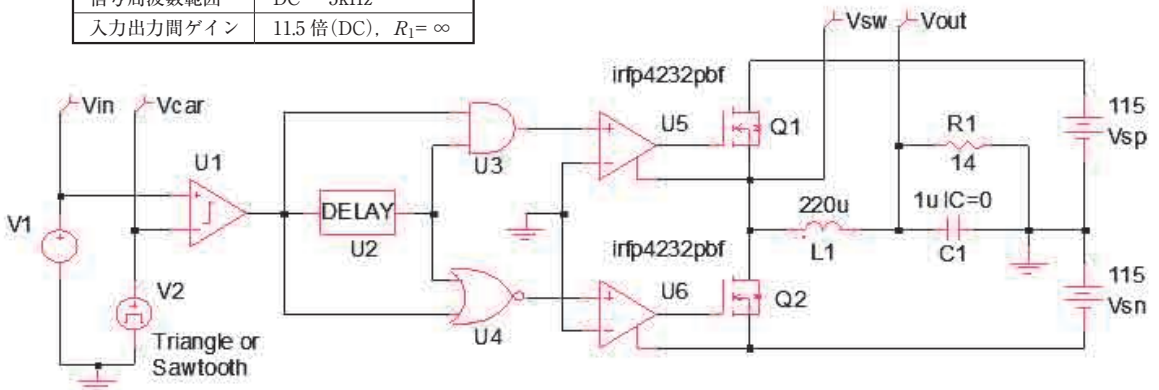
$V_{in}(V_1)$ は入力信号、 $V_{car}(V_2)$ は変調信号で三角波、またはこのごり波です。 V_{car} の振幅は両波形とも、 $20V_{pp}(10V_{peak})$ 、周波数 f は100kHzです。

U_2, U_3, U_4 は、主スイッチ Q_1, Q_2 の同時ONを防止するデッド・タイム発生回路です。ここではスイッチング波形を理想化するため、デッド・タイムを最小値に設定してあります。 Q_1 と Q_2 は、同時ONのタイミングが数十ns発生することがあります。

U_5 と U_6 はMOSFETゲート・ドライバです。これ

〈表1〉シミュレーションする回路の仕様

項目	仕様値
電源	±115V
出力電圧	最大±100V
出力電流	最大±10A
定格負荷抵抗(R_1)	10Ω
入力電圧範囲	±9V
信号周波数範囲	DC～5kHz
入力出力間ゲイン	11.5倍(DC), $R_1 = \infty$



〈図1〉PWM方式D級パワー・アンプ電力変換部の基本形のシミュレーション回路(電圧モード、ハーフ・ブリッジ、変調波比較型)

動作原理を示すシミュレーション回路。理想的スイッチング波形を実現するため、 Q_1, Q_2 の短絡電流問題などは無視している

は、電圧制御電圧源をもつ理想アンプです。実機では、MOSFETのゲートに発振防止と di/dt を制限する目的で抵抗を挿入しますが、スイッチング波形の理想化のため省略してあります。

L_1 と C_1 は復調用のLPFで、カットオフ周波数 f_c は10kHzです。 R_1 は負荷抵抗です。 V_{sp} 、 V_{sn} はDC電源で、電圧はおおの115Vです。

● 基本性能(DCゲイン)を確認する

D級アンプのゲインは、電源電圧に比例し、変調波の振幅に反比例します。

この方式のPWMアンプの無負荷($R_1 = \infty$)時のDCゲイン(V_{out}/V_{in})は、 $V_{car}(V_2)$ を理想的な三角波

またはのこぎり波とすると、次式が成り立ちます。

$$\frac{V_{out}}{V_{in}} = \frac{V_s}{V_{car}}$$

$$V_s = V_{sn} + V_{sp}$$

$$V_{car} : \text{変調波の振幅}[V_{p-p}]$$

$$V_{sn} : \text{負電源電圧}[V]$$

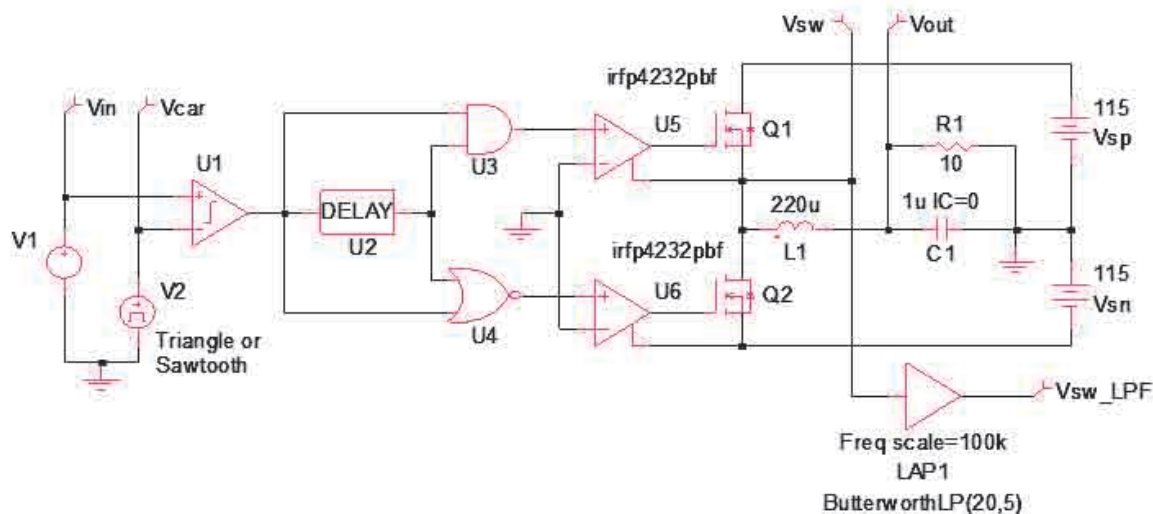
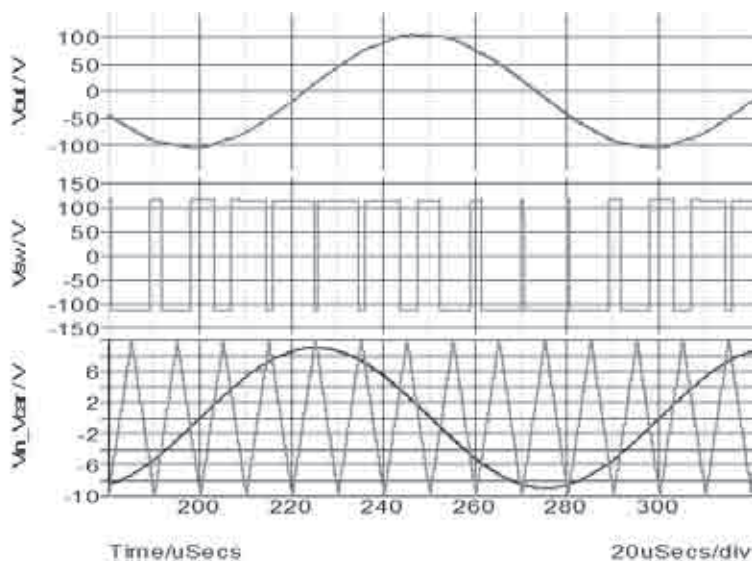
$$V_{sp} : \text{正電源電圧}[V]$$

変調波(V_{car})と被変調波(V_{in})の関係は次のとおりです。

$$dV_{car}/dt > dV_{in}/dt$$

すなわち変調波のスルー・レートは、被変調波のスルー・レートより大きくなければなりません。したがって、変調波がのこぎり波の場合の被変調波上限周波数

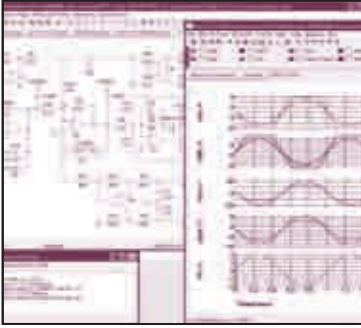
〈図2〉 図1の過渡解析波形 (V_{in} :正弦波, 10kHz, 9V_{peak}, V_{car} :三角波, 100kHz, 10V_{peak})
出力(V_{out})の波形が歪んでいるように見えるのは、 L_1 、 C_1 のLPFで濾波できないスイッチング波形(V_{sw})成分が重量しているためである



〈図3〉 スwitching波形のスペクトラム解析用シミュレーション回路 (V_{sw_LPF} 端子をFFT分析, LAP1は20次バターワースLPF, $f_c = 500\text{kHz}$)

動作原理を示すシミュレーション回路。理想的なスイッチング波形を実現するため、 Q_1 、 Q_2 の短絡電流問題などは無視している

第5章



ハーフ・ブリッジD級パワー・アンプで検証する デッド・タイムと高調波ひずみと PSRR

荒木 邦彌
Araki Kuniya

本章では、ハーフ・ブリッジD級パワー・アンプのデッド・タイムと高調波ひずみの関係、電源電圧変動に対する抑圧特性(Power Supply Rejection Ratio ; PSRR)をシミュレーションで検証します。三角波比較型他励式、方形波比較型他励式と自励発振式を例題回路に選びました。

自励発振式は、高調波ひずみ特性、PSRRとも非常に優れていますが、スイッチング周波数が出力電圧によって大きく変動します。その変動を抑圧する回路を提案し、その改善結果を示します。

デッド・タイムで生じるひずみを 自励発振式と三角波比較型他励発振式で比較

● ねらい

前章までの各種PWMアンプのスイッチング波形のスペクトラムのシミュレーション解析では、「PWM

方式のD級アンプの波形ひずみはノイズ・フロア以下であり無視できる」という理想的な状態を想定していました。

実回路では、多くの要因で波形ひずみが発生します。今回はその主因の一つであるデッド・タイム(t_D)と高調波ひずみの関係を検証します。

▶ デッド・タイム(dead time)

デッド・タイムとは、ブリッジ回路(主回路)を構成するハイ・サイドとロー・サイドがともにOFFする時間のことです。デッド・タイムのない($t_D = 0 \text{ sec}$)回路で主回路をドライブすると、MOSFETスイッチのハイ・サイドとロー・サイドが同時にONして、電源がグラウンドに短絡されるため大きな電流が流れ、MOSFETが壊れる可能性があります注1。

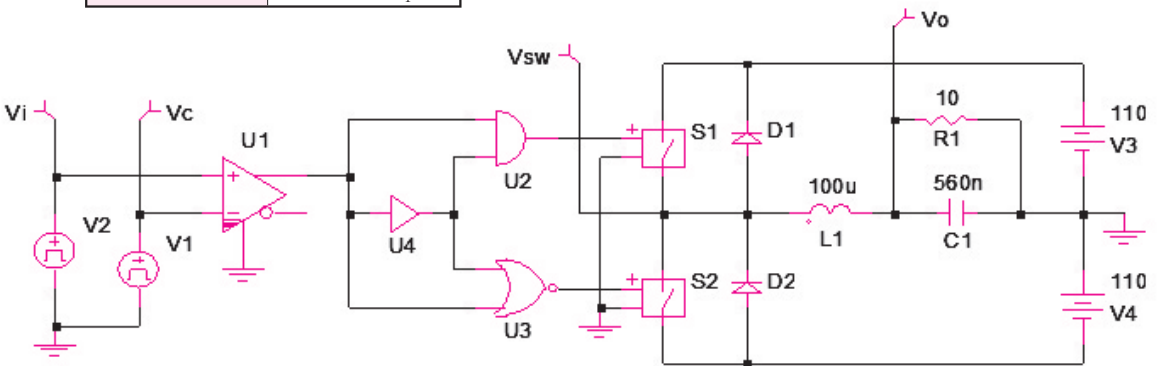
▶ 例題回路

下記の二つの回路を例題とします。回路のおもな仕様を表1に示します。

〈表1〉回路のおもな仕様

電源	± 110V
出力電圧	最大± 100V
出力電流	最大± 10A
定格負荷抵抗(R_1)	10 Ω
入力電圧範囲	± 10V
信号周波数範囲	DC ~ 10kHz
入力出力間ゲイン	10倍(DC), $R_1 = \infty$

注1：実回路では、デッド・タイムを最適化しても、短絡電流をゼロにすることはできない。D₁とD₂の逆回復電流(I_{rr})が原因である。



〈図1〉三角波比較変調型他励式ハーフ・ブリッジD級パワー・アンプ回路

V₁:三角波(200kHz, ± 11V), V₂:入力信号(± 10V_{max}, DC ~ 10kHz), U₁:PWM変調用コンパレータ, U₄:デッド・タイム遅延時間設定可能バッファ, U₂:ANDゲート, U₃:NORゲート, S₁とS₂:ハーフ・ブリッジ・スイッチ($R_{on} = 1\text{m}\Omega$, $R_{off} = 1\text{meg}\Omega$), D₁とD₂:フリー・ホイール・ダイオード, L₁とC₁:復調用LPF($f_c = 20\text{kHz}$), R₁:負荷抵抗, V₃とV₄:DC電源(110V)

(1) 他励発振式(三角波比較型), 電圧モード, ハーフ・ブリッジ(図 1)

(2) 自励発振式, 電圧モード, ハーフ・ブリッジ(図 2)

図 1 は三角波比較型他励発振式です。これは, PWM 方式 D 級パワー・アンプの基本形で, 前章でも紹介しました。図 2 は自励発振式で, これで完全な D 級パワー・アンプとして機能します。極めてシンプルな構成です。

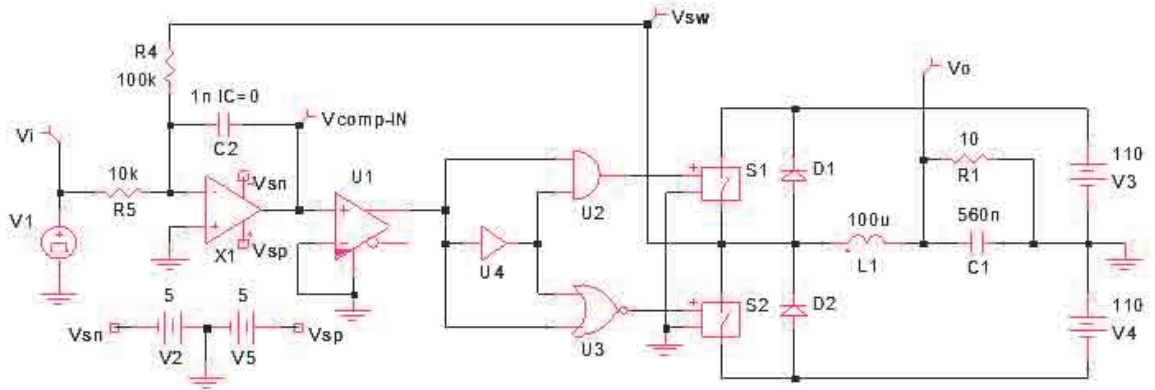
三角波比較型他励発振式は, 前段に制御部を追加して, さらに V_1 を三角波発生回路に置き換えないと, 完全な D 級アンプにはなりません。

各回路とも, U_2, U_3, U_4 がデッド・タイム発生部です。 U_4 の遅延時間でデッド・タイムを発生します。

▶ 検討の方法

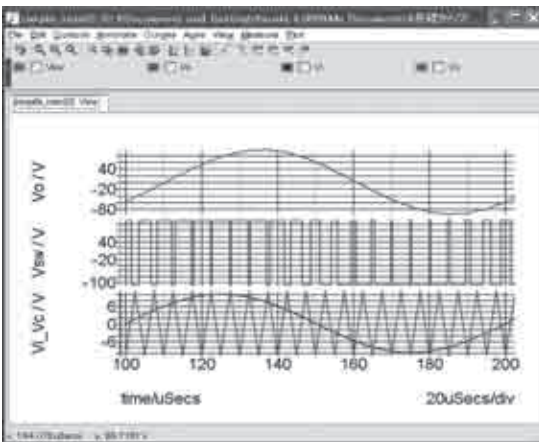
例題回路の出力波形のスペクトラムを解析することで, デッド・タイムが高調波ひずみに与える影響を検討します。

デッド・タイムだけが高調波ひずみに影響を与えるように, シミュレーション回路のすべての部品は理想素子で構成しています。スペクトラムは, 回路シミュレータの FFT 機能を利用して分析します。



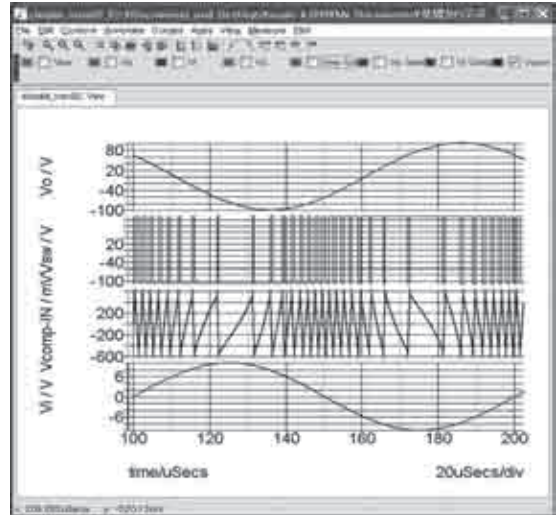
〈図 2〉 自励発振式ハーフ・ブリッジ D 級パワー・アンプ回路

U_1 のコンパレータには $\pm 500\text{mV}$ のヒステリシスが付いている。 V_1 : 入力信号 ($\pm 10\text{V}_{\text{max}}$, DC ~ 10kHz), U_1 : コンパレータ (ヒステリシス $\pm 500\text{mV}$), X_1 : 積分器用 OP アンプ ($GBW = 10\text{MHz}$), V_2 と V_5 : X_1 用 5V 電源, その他: 図 1 に同じ



〈図 3〉 三角波比較変調型他励式ハーフ・ブリッジ D 級パワー・アンプの各部波形 [入力信号 (V_i): 10kHz, $\pm 10\text{V}$, 変調波 (V_c): 200kHz, $\pm 11\text{V}$]

出力波形 V_o が入力波形 V_i に対して遅れているのは, L_1 と C_1 による LPF の位相遅れのため



〈図 4〉 自励発振式ハーフ・ブリッジ D 級パワー・アンプの各部波形 [入力信号 (V_i): 10kHz, $\pm 10\text{V}$]

出力波形 V_o が入力波形 V_i に対して遅れているのは, L_1 と C_1 による LPF の位相遅れのため。 $V_{\text{comp-IN}}$ の波形はコンパレータ U_1 のヒステリシスの間を往復するように発振する。発振周波数は, 信号入力 V_i がゼロで最高 (約 530kHz) になり, \pm フルスケールで最低 (約 90kHz) になる

このPDFは、CQ出版社発売の「グリーン・エレクトロニクス No.7D級パワー・アンプの回路設計」の一部分の見本です。
内容・購入方法などにつきましては以下のホームページをご覧ください。
<http://shop.cqpub.co.jp/hanbai//books/MSP/MSPZ201201.htm>



電子技術 増刊
SPECIAL

グリーン・エレクトロニクス

No.7

CQ出版社

〒170-8461 東京都豊島区巣鴨1-14-2
☎(03)5395-2141(編集部)

定価2,730円

本体2,600円

雑誌 16712-01

Ⓒ2012.4.17



4910167120120

02600