

第3章

信頼性を左右する電源，リセット，クロック

マイコン周辺回路設計の勘所

江崎 雅康

1. マイコン基板の設計とは

基板に搭載したV850マイコンは、フラッシュROMやSRAM、周辺入出力回路を内蔵しています。表1に示すように、V850の各シリーズはフラッシュROM容量とRAM容量の異なるモデルが用意されています。基板に搭載した μ PD70F3716GCは、表1に示すように以下の容量のメモリを内蔵しています。

- フラッシュROM : 256K バイト
- SRAM : 24K バイト

さらに、周辺機能としてGPIOやタイマ、UART、A-Dコンバータ、D-Aコンバータなども内蔵しています。簡単なシステムであればCPUに電源、クロックおよびリセット回路を接続するだけで完成します。

しかし本格的な量産製品の設計では、環境条件や電

表1 V850ES/JG2 シリーズ

| 型名 | フラッシュROM容量 (Kバイト) | RAM容量 (バイト) |
|-------------------------|-------------------|-------------|
| μ PD70F3715GC-8EA-A | 128 | 12288 |
| μ PD70F3715GF-JBT-A | 128 | 12288 |
| μ PD70F3716GC-8EA-A | 256 | 24576 |
| μ PD70F3716GF-JBT-A | 256 | 24576 |
| μ PD70F3717GC-8EA-A | 384 | 32768 |
| μ PD70F3717GF-8EA-A | 384 | 32768 |
| μ PD70F3718GC-8EA-A | 512 | 40960 |
| μ PD70F3719GC-8EA-A | 640 | 49152 |

圧ノイズ・マージン、部品特性のばらつきなどをよく検討しておかないと、思わぬトラブルに遭遇することもあります。

本章では、マイコン・システムの信頼性を左右するこれら周辺回路技術について詳しく説明します。

表2 V850 マイコンの消費電流特性

| 項目 | 略号 | 条件 | | 最小 | 標準 | 最大 | 単位 | |
|-----------|---------------------|----------------------------------------------|-------------------------------------------------------|----|-----|---------|-----|---------|
| 電源電流*1 | L_{DD1} | 通常動作 | $f_{clk}=20\text{MHz}$ ($f_x=5\text{MHz}$) | *2 | - | 32 | 48 | mA |
| | | | | *3 | - | 30 | 45 | mA |
| | L_{DD2} | HALTモード | $f_{clk}=20\text{MHz}$ ($f_x=5\text{MHz}$) | *2 | - | 17 | 26 | mA |
| | | | | *3 | - | 16 | 24 | mA |
| | L_{DD3} | IDLE1モード | $f_{clk}=5\text{MHz}$ ($f_x=5\text{MHz}$), PLL OFF時 | - | 0.8 | 1.6 | mA | |
| | L_{DD4} | IDLE2モード | $f_{clk}=5\text{MHz}$ ($f_x=5\text{MHz}$), PLL OFF時 | - | 0.3 | 0.8 | mA | |
| | L_{DD5} | サブクロック動作モード | $f_{XT}=32.768\text{kHz}$, メイン・クロック, 内蔵発振器停止 | *2 | - | 300 | 600 | μ A |
| | | | | *3 | - | 200 | 400 | μ A |
| | L_{DD6} | サブIDLEモード | $f_{XT}=32.768\text{kHz}$, メイン・クロック, 内蔵発振器停止 | *2 | - | 18 | 100 | μ A |
| | | | | *3 | - | 18 | 80 | μ A |
| L_{DD7} | STOPモード | サブクロック停止, 内蔵発振器停止 | - | 6 | 50 | μ A | | |
| | | サブクロック動作, 内蔵発振器停止 | - | 10 | 60 | μ A | | |
| | | サブクロック停止, 内蔵発振器動作 | - | 10 | 60 | μ A | | |
| L_{DD8} | フラッシュROMプログラミング・モード | $f_{clk}=20\text{MHz}$ ($f_x=5\text{MHz}$) | *2 | - | 35 | 54 | mA | |
| | | | *3 | - | 33 | 51 | mA | |

*1 V_{DD} , EV_{DD} , BV_{DD} 電流の合計。出力バッファ、A-Dコンバータ、D-Aコンバータ、内蔵プルダウン抵抗で流れる電流は含まない

*2 μ PD70F3718, μ PD70F3719 *3 μ PD70F3715, μ PD70F3716, μ PD70F3717

拡張ヘッダ(ベース・ボード)
CON2
A1-40PA-2.54DS

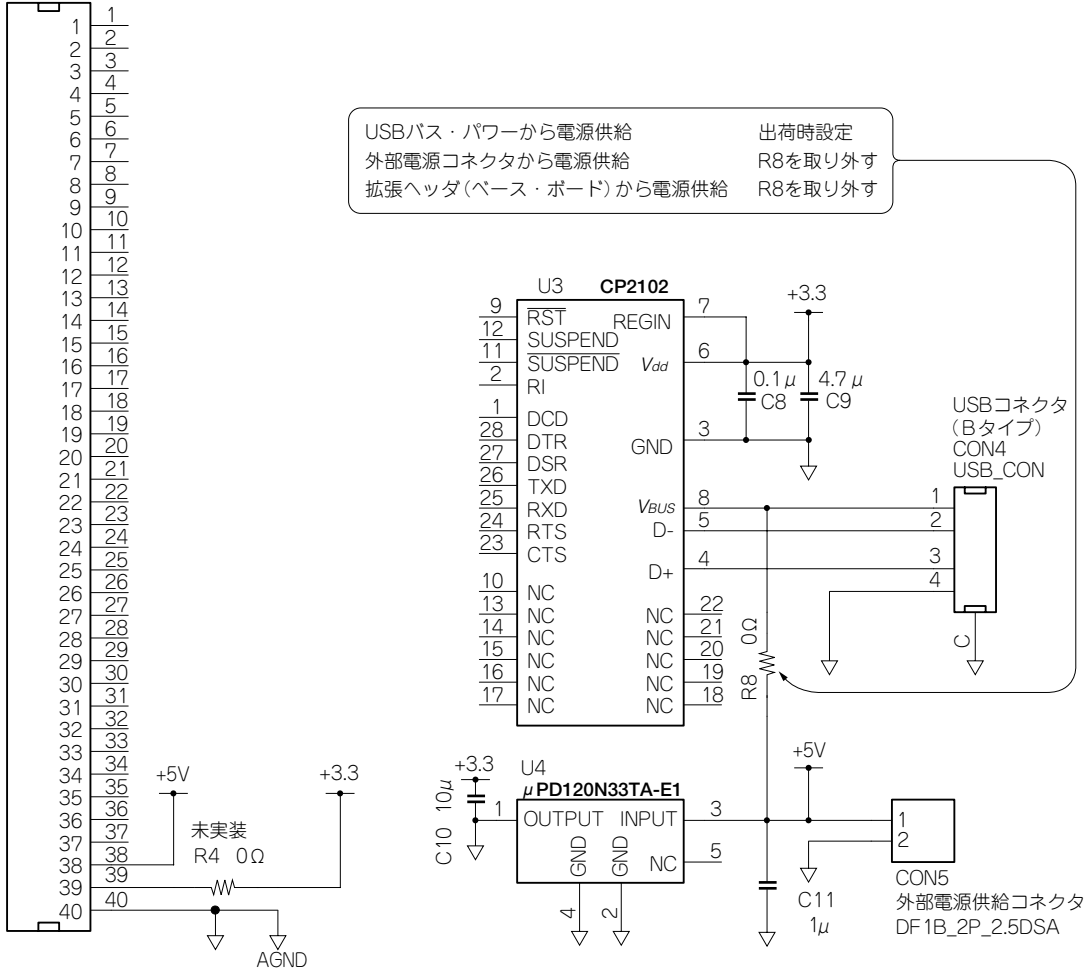


図1 V850 基板の電源系統図

2. 電源周辺回路の設計

● 電流容量の検討

表2はV850の消費電流特性表です。V850基板に搭載したμPD70F3716の動作電源は次のように規定されています。

- 動作電圧 3.0V ~ 3.6V
- 動作電流 (通常動作, 20MHz)
30mA (標準), 45mA (最大)

V850基板の総消費電流は、

- USB-シリアル変換IC (CP2102) 6mA (標準)
- 74LVC06 0.1mA
- LED ランプ 3mA (標準)

などの消費電流を合わせると、最大80mA程度になります。

CP2102に内蔵されているLDOレギュレータは最大100mAの電流出力が可能です。基板上のデバイスだけであればこれでも十分です。

しかしV850基板は、拡張バスに接続されるアプリケーション回路の電流容量まで考慮すると余裕がありません。そこで300mA(最大)供給可能な電圧レギュレータμPD120N33TAを搭載することにしました。

● V850 基板の電源系統図

図1はV850基板の電源系統図です。USBバス・パワーの+5Vを0Ω抵抗R8介してμPD120N33に入力し、生成された3.3VをV850マイコンやCP2102, 74LVC06, LEDなどに供給しています。

表3 μPD120N33の電気特性

特に指定のない限り、条件は $T_J=25^\circ\text{C}$ 、 $V_{IN}=5.0\text{V}$ 、 $I_O=0.15\text{A}$ 、 $C_{IN}=0.1\mu\text{F}$ 、 $C_{OUT}=10\mu\text{F}$ 。

| 項目 | 略号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|-----------|-----------------------|------------------------------------------------------------------------------------|-------|------|-------|-----------------------|
| 出力電圧 | V_{O1} | — | 3.234 | 3.3 | 3.366 | V |
| | V_{O2} | $4.5\text{V} \leq V_{IN} \leq 5.5\text{V}$, $0\text{A} \leq I_O \leq 0.3\text{A}$ | 3.201 | — | 3.399 | V |
| 入力安定度 | REG_{IN} | $4.5\text{V} \leq V_{IN} \leq 5.5\text{V}$ | — | 1 | 30 | mV |
| 負荷安定度 | REG_L | $0\text{A} \leq I_O \leq 0.3\text{A}$ | — | 2 | 30 | mV |
| 回路動作電流 | I_{BIAS} | $I_O=0\text{A}$ | — | 60 | 120 | μA |
| 回路動作電流変化量 | ΔI_{BIAS} | $4.5\text{V} \leq V_{IN} \leq 5.5\text{V}$ | — | — | 25 | μA |
| 出力雑音電圧 | V_n | $10\text{kHz} \leq f \leq 100\text{kHz}$ | — | 220 | — | $\mu\text{V}_{r.m.s}$ |
| リップル除去率 | $R \cdot R$ | $f=1\text{kHz}$, $4.5\text{V} \leq V_{IN} \leq 5.5\text{V}$ | — | 60 | — | dB |
| 最小入出力間電圧差 | V_{DIF} | $I_O=0.15\text{A}$ | — | 0.2 | 0.6 | V |
| 出力短絡電流 | I_{Oshort} | $V_{IN}=5\text{V}$ | — | 0.2 | — | A |
| ピーク出力電流 | I_{Opeak} | $V_{IN}=5\text{V}$ | 0.3 | — | — | A |
| 出力電圧温度変化 | $\Delta V_O/\Delta T$ | $I_O=0\text{A}$, $0^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$ | — | 0.01 | — | mV/°C |

表4

μPD120N33の絶対最大定格

各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがある。

| 項目 | 略号 | 定格 | | 単位 |
|-------------|---------------|----------------------|----------------------|------|
| | | μPD120NxxTA (SC-74A) | μPD120NxxT1B (SC-62) | |
| 入力電圧 | V_{IN} | -0.3 ~ +6 | | V |
| 全損失*1 | P_T | 180 *2/510 *3 | 400 *2/2000 *3 | mW |
| 動作周囲温度 | T_A | -40 ~ +85 | | °C |
| 動作接合温度 | T_J | -40 ~ +150 | | °C |
| 保存温度 | T_{stg} | -55 ~ +150 | | °C |
| 接合-周囲空気間熱抵抗 | $R_{th(J-A)}$ | 695/245 *2 | 315/62.5 *3 | °C/W |

*1 内部回路で制限される。 $T_J > 150^\circ\text{C}$ では、内部回路が出力を遮断する。

*2 75mm² × 0.7mm セラミックス基板に搭載時

*3 16mm² × 0.7mm セラミックス基板に搭載時

表5

μPD120N33の推奨動作条件

絶対最大定格を越えなければ、推奨動作条件以上で使用しても問題ない。ただし、絶対最大定格との余裕が少なくなるので、十分評価した上で使用する必要がある。

| 項目 | 略号 | 相当品種 | 最小 | 標準 | 最大 | 単位 |
|--------|----------|-----------|-----|----|------|----|
| 入力電圧 | V_{IN} | μPD120N15 | 3.0 | — | 5.5 | V |
| | | μPD120N18 | 3.2 | — | 5.5 | V |
| | | μPD120N25 | 4.5 | — | 5.5 | V |
| | | μPD120N33 | 4.5 | — | 5.5 | V |
| 出力電流 | I_O | 全品種 | 0 | — | 0.3 | A |
| 動作周囲温度 | T_A | 全品種 | -40 | — | +85 | °C |
| 動作接合温度 | T_J | 全品種 | -40 | — | +125 | °C |

出荷時のV850基板はUSBバス・パワーで、動作します。パソコンのUSBポートに接続するだけで、必要な電源はUSBポートから供給されます。したがって、独立した電源を用意する必要はありません。

USBポートに接続しないで使う場合はどうすればよいのでしょうか。例えば、V850基板を使ってスタンドアロンでロボットを動かす場合などです。この場合は図1の0Ω抵抗R8を取り除き、電源コネクタCON5に外部電源を接続します。外部電源の電圧範囲は3.9~6.0Vです。

μPD120N33は、表3に示すように最小入出力間電圧差として0.6V(最大)が必要です。3.3V出力を得るためには最低でも、

$$3.3 + 0.6 = 3.9\text{V}$$

が必要です。

上限の6.0Vは、表4の絶対最大定格の入力電圧で規定された値です。この6.0Vというのは、「一瞬でもこの値を越えると製品の品質を損なう恐れがある」という上限電圧です。

供給入力電源の変動、ノイズ、製品のばらつきなどを考慮した製品設計では、表5に示す推奨動作条件である、

$$4.5 \sim 5.5\text{V}$$

の入力電圧で動作させるのが望ましいでしょう。

また、このV850マイコン基板をベース・ボードに接続し、拡張ヘッダから電源(+5.0V)を供給する場

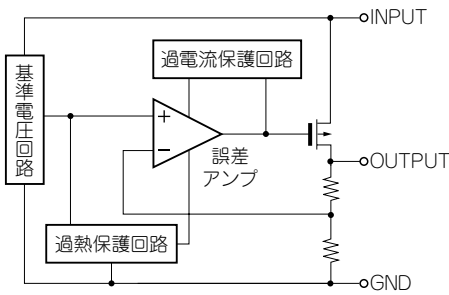


図2 LDO (低ドロップアウト) レギュレータ μ PD120N33 のブロック図

合も、図1の0Ω抵抗R8を取り除きます。

● 電源レギュレータ μ PD120N33TA と消費電流

図2はV850基板上に搭載した電源IC μ PD120N33のブロック図です。

μ PD120N33は表6に示すように出力電圧とパッケージの異なる製品が用意されています。表3はV850基板上に採用した3.3V出力の μ PD120N33の電気特性表です。内部構造的にはシリーズ型のレギュレータなので、入出力電圧の差に相当する電力がIC内部で消費されます。

図3はパッケージと端子接続図です。SC-74AパッケージとSC-62パッケージがありますが、大きな違いは放熱特性と最大損失許容値です。

ここで一つ注意すべき点があります。表4の、

- 絶対最大定格 入力電圧 V_{IN} 定格 -0.3V ~ 6V と、表5の、
 - 推奨動作条件 出力電流 I_o 0A ~ 0.3A
- を見て、「入力電圧6Vで0.3Aの出力電流が得られる」と考えてはいけません。

μ PD120N33の消費電力はこの場合、

$$(6 - 3.3) \text{ V} \times 0.3 \text{ A} = 0.81 \text{ W}$$

となります。

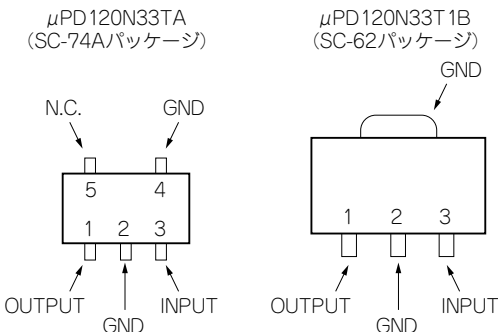


図3 μ PD120N33のパッケージと端子接続図

表6 μ PD120N33シリーズ

テーピング品は型名の末尾に-E1または-E2が付く。鉛フリー品は型名の末尾に-Aまたは-AZが付く。

| 型名 | パッケージ | 出力電圧 (V) | 捺印 |
|-------------------|--------|----------|-----|
| μ PD120N15TA | SC-74A | 1.5 | K71 |
| μ PD120N15T1B | SC-62 | 1.5 | 7D |
| μ PD120N18TA | SC-74A | 1.8 | K72 |
| μ PD120N18T1B | SC-62 | 1.8 | 7E |
| μ PD120N25TA | SC-74A | 2.5 | K73 |
| μ PD120N25T1B | SC-62 | 2.5 | 7F |
| μ PD120N33TA | SC-74A | 3.3 | K74 |
| μ PD120N33T1B | SC-62 | 3.3 | 7G |

表4に示すように、SC-74Aパッケージの全損失は

- 75mm² × 0.7mm セラミックス基板搭載時 180mW
- 16cm² × 0.7mm セラミックス基板搭載時 510mW

という制限があります。

この全損失に関する絶対最大定格値は環境温度 $T_A = 25^\circ\text{C}$ のときの値です。環境温度は季節によって異なります。また、開発機器をケースに入れて熱がこもったりすれば、条件は大きく変わってきます。

実装基板の熱抵抗も考慮する必要があります。ICの消費電流は温度上昇を招きます。その結果、ICの接合部温度が150℃を越えると、図2に示す加熱保護回路が働き、出力は遮断されます。

筆者は概算で、

- 5V入力の場合 $(5 - 3.3) \times 0.1 \text{ A} = 0.17 \text{ W}$
- 3.9V入力の場合 $(3.9 - 3.3) \times 0.3 \text{ A} = 0.18 \text{ W}$

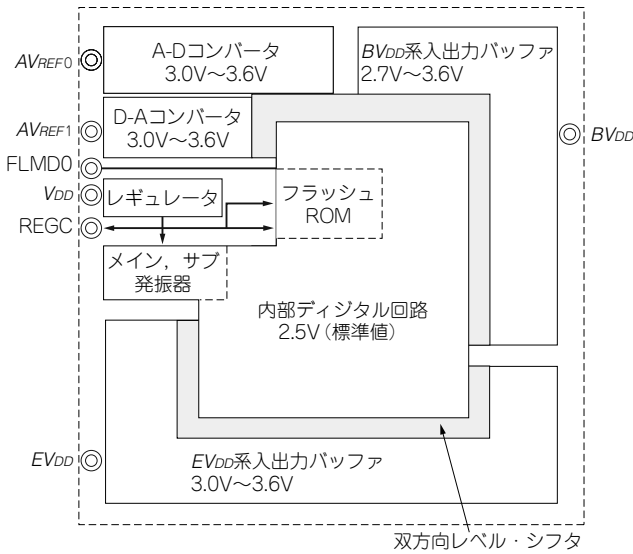
程度は大丈夫と考えました。

これ以上の付加電流を要する場合はSC-62パッケージの採用を考えるべきでしょう。

● μ PD70F3716GC内蔵レギュレータ

図4はV850ES/JG2の電源系統図です。低消費電力/低ノイズを実現するためにレギュレータを内蔵しています。このレギュレータは、発振器ブロックと内部ロジック回路(A-Dコンバータ、D-Aコンバータ、出力バッファを除く)に電源電圧 V_{DD} を降圧した電圧2.5V(標準)を供給しています。

V850マイコン μ PD70F3716GCの10番ピンであるREGCには、図5のようにレギュレータ出力の安定化のための4.7 μ Fのコンデンサを接続します。間違ってもこの端子に3.3Vを接続してはいけません。



注: $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} \geq BV_{DD}$ で使用する
 図4 μPD70F3716GCの内蔵レギュレータと電源構成

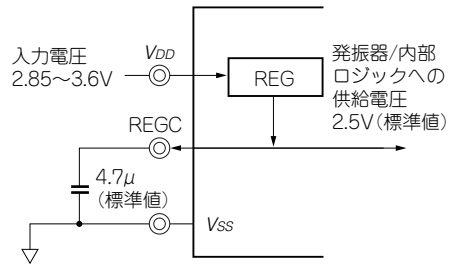


図5 REGC端子の接続

電源を備えています。それは以下に示すものです。

- メイン・クロック発振回路
- サブクロック発振回路
- 内蔵発振器

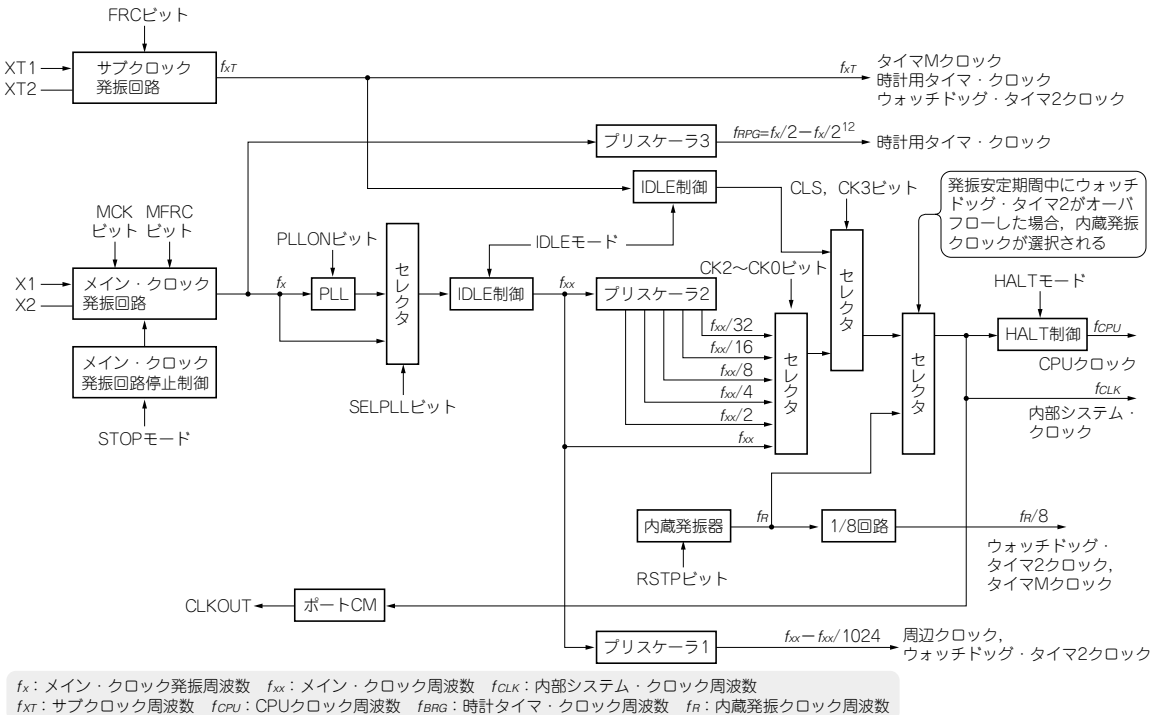
メイン・クロック発振回路はCPUの通常動作時のクロックを生成します。図6のX1, X2端子に5MHzのセラロック(村田製作所製)を接続しています。PLL(Phase-locked Loop)回路を有効にして4倍した20MHzを作ります。

出荷時のV850基板には、サブクロック発振回路の32.768kHzの水晶発振器は実装されていません。サブクロック発振回路を使わない場合、発振入力端子XT1

3. クロック回路の設計

● V850 マイコンのクロック周りの設計

図6に示すように、V850マイコンは3系統のクロック



f_x : メイン・クロック発振周波数 f_{xx} : メイン・クロック周波数 f_{CLK} : 内部システム・クロック周波数
 f_{XT} : サブクロック周波数 f_{CPU} : CPUクロック周波数 f_{PRG} : 時計タイマ・クロック周波数 f_R : 内蔵発振クロック周波数

図6 クロック発生回路