



電子回路シミュレータ

SIMetrix/ SIMPLIS

による
高性能電源回路の設計

高い安定性と応答性が得られる負帰還特性にチューニング

遠坂俊昭  著
Toshiaki Enzaka

見本



CD-ROM付き

SIMetrix/SIMPLIS Intro Ver7.00
(Windows OS用)
SPICEモデル/シミュレーション回路

サンプル回路ファイルを
100点以上収録!

のディスクリート回路には Ver10 以降の評価版が適しています。

Ver9.2 は「電子回路シミュレータ PSpice 入門編, CQ 出版社」, Ver15.7 は「デザインウェーブマガジン 2008 年 2 月号, CQ 出版社」に付録で収録されています。

最新の評価版は, Cadence 社のホームページがら無料でダウンロードできます。

図 1-14 は, PSpice の AC 解析でリプル・リジエクション特性 (入力電圧の変動がどの程度出力で抑圧できるか) をシミュレートした例です。AC 解析が完了すると, 回路の各部分の直流バイアス電圧や電流が表示され便利です。

1-5-2 LTspice

リニアテクノロジー社が, 自社の IC の販売促進のために無料で配布しているシミュレータです。同社のホームページからダウンロードでき, 回路規模の制限がないのが特徴です。

リニアテクノロジー社が販売しているほとんどの OP アンプや電源用 IC のモデル・ライブラリが収録されています。他社の IC を組み込むことも可能です。

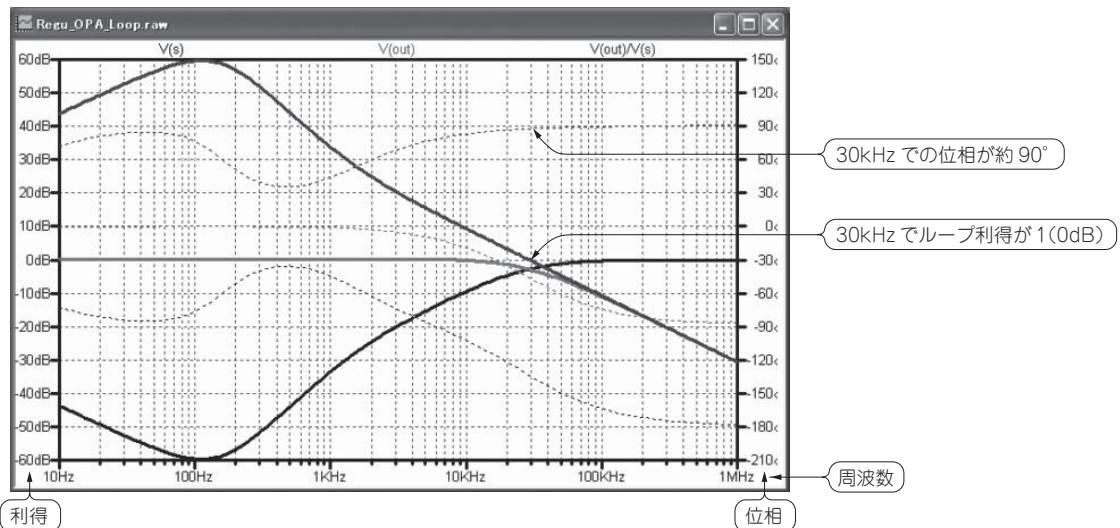
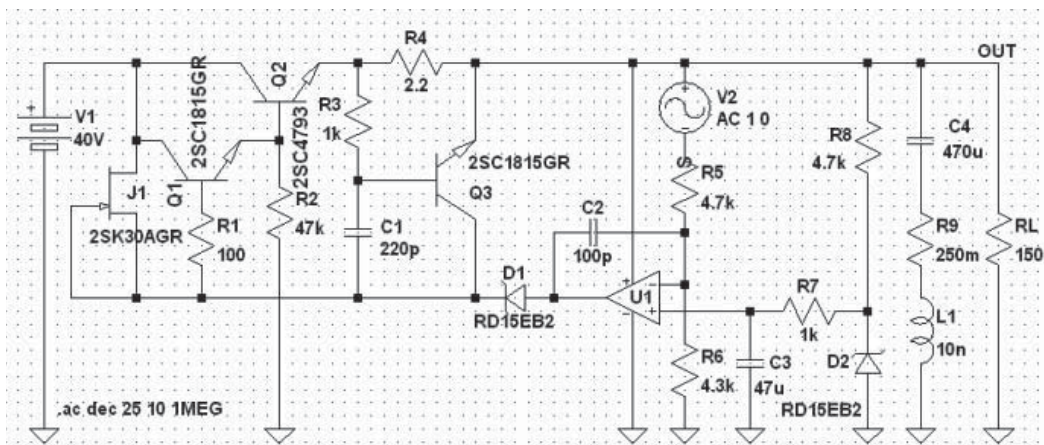


図 1-15 LTspice を使用してシリーズ・レギュレータの負帰還の安定性をシミュレーションした例

スイッチング状態での AC 解析は直接できませんが、DFT (Design For Testability) 機能を備えています。このため、スイッチング状態での特定の周波数の利得・位相を求めることができます。

電子回路の独習には最適なシミュレータで、「電子回路シミュレータ LTSpice 実践入門編, CQ 出版社」の付録 CD に収録されています。

図 1-15 は、リニア・レギュレータの負帰還の安定性をシミュレーションした例です。ループ利得を求めるために挿入した信号源 V2 の両端の振幅比と位相差でループ利得をシミュレーションしています。シミュレーション結果から、ループ利得が 1 (0dB) になる周波数が 30kHz で、そのときの位相が約 90° で安定な負帰還であることを示しています。負帰還については、第 4 章で説明します。

1-5-3 SIMetrix/SIMPLIS

スイッチング・レギュレータは、電源入力周波数が 50/60Hz、負帰還のループ利得が 1 になる周波数が数 kHz 程度、そして、スイッチング周波数が 100kHz 程度と、一つの回路で扱う時間の乖離が非常に大

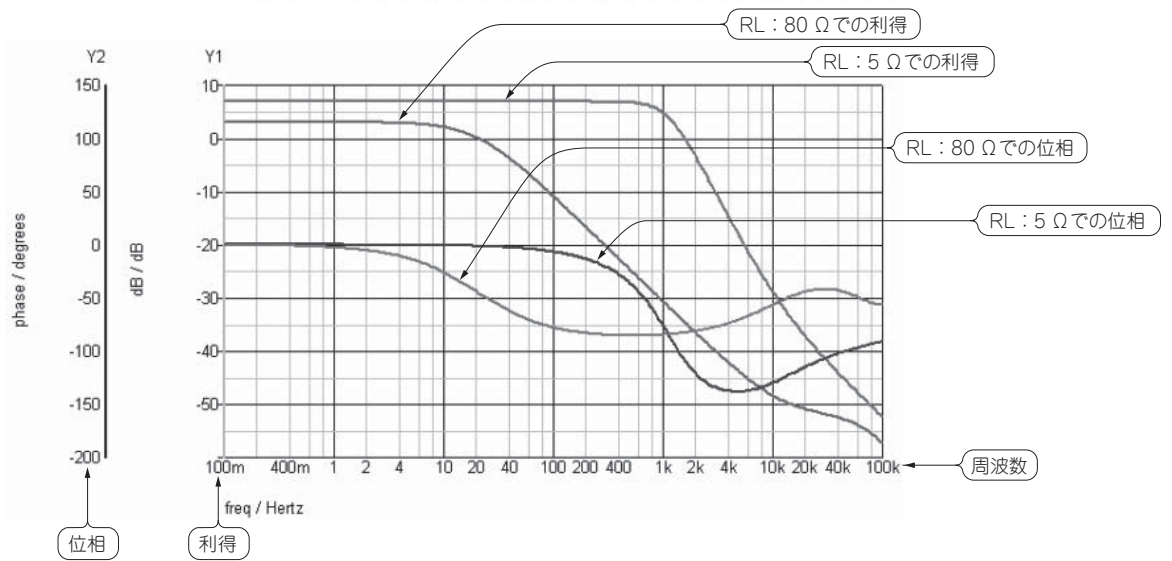
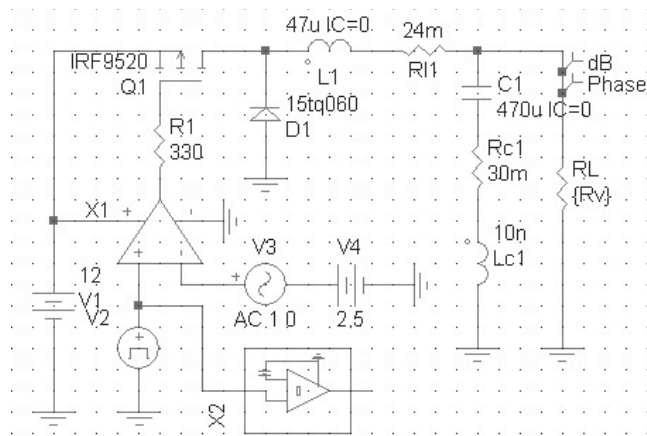
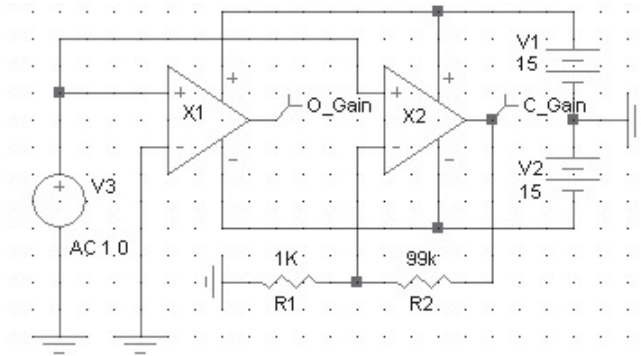
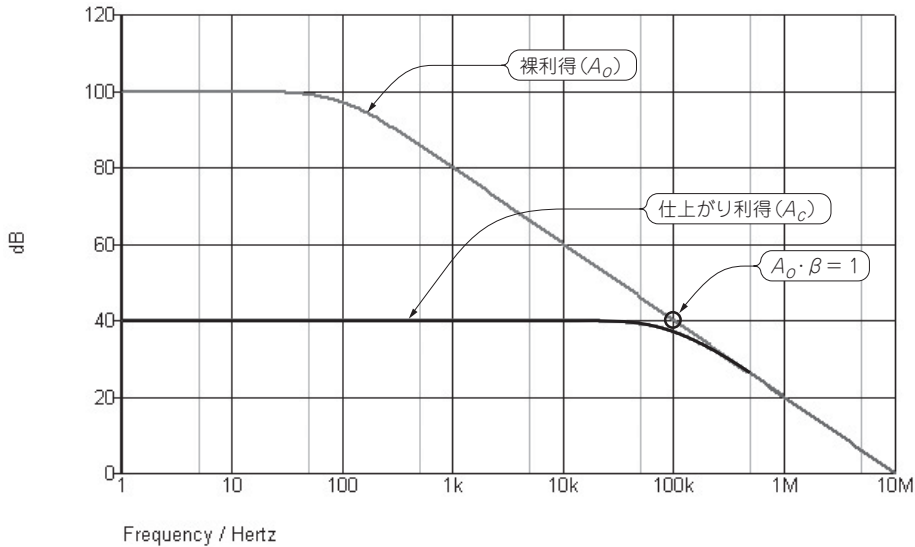


図 1-16 SIMPLIS を使用してスイッチング部分の利得・位相特性をシミュレーションした例 (Buck_Cont_AC_SIMPLIS, これは PSpice や LTSpice ではできないシミュレーション)



(a) シミュレーション回路
[Open_Close_Gain]



(b) シミュレーション結果

図 5-3 OP アンプの裸利得 (A_o) と仕上がり利得 (A_c) のシミュレーション

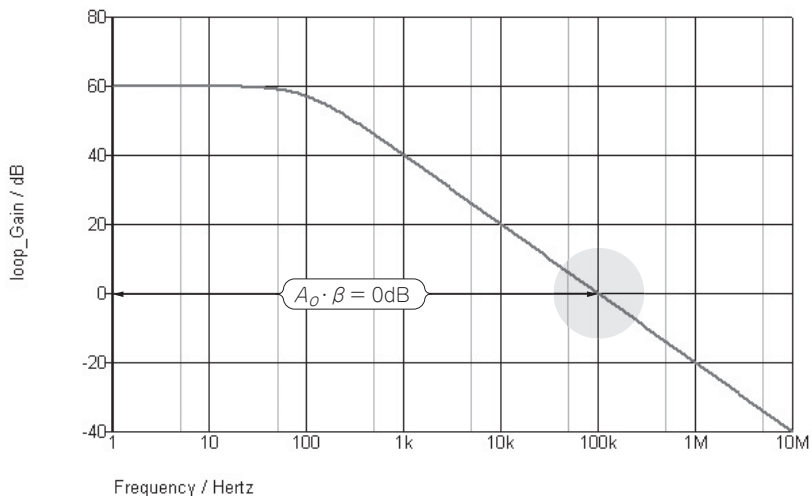
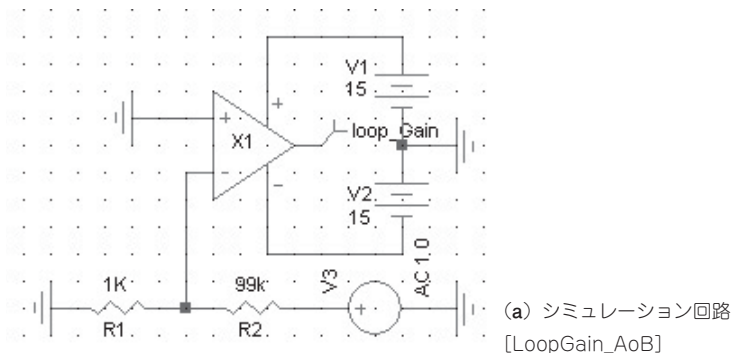
利得が 50 倍 (約 34dB) になるはずですが、図 5-3 (b) では約 37dB になっています。これは位相の遅れ (90°) が関係しているためです。

図 5-4 は、ループ利得 $A_o \cdot \beta$ のシミュレーションです。図 5-3 の OP アンプ出力から R2 に接続されている結線を切断し、R2 に信号を加えています (実際の OP アンプでは、入力オフセット電圧のために OP アンプ出力が飽和して正常動作できない)。したがって、 β 回路と OP アンプが縦続接続され、利得が $A_o \cdot \beta$ になります。

100kHz での利得が 100 倍なので、100kHz で $A_o \cdot \beta$ が 0dB (1 倍) になっています。後の項で説明しますが、負帰還ではこの $A_o \cdot \beta = 1$ になる点が非常に重要になります。

5-2 安定な負帰還を実現するために

高利得の増幅器を実現するには、複数の半導体や抵抗、コンデンサが必要になります。このため、増幅器の内部には利得-周波数特性を悪化させる複数の要因 (時定数) が含まれることになります。図 5-5 は、



(b) シミュレーション結果

図 5-4 ループ利得 $A_o \cdot \beta$ のシミュレーション

この時定数が二つ含まれている増幅器のモデルです。

E1 から E6 は電圧制御電圧源（記号 E）と呼ばれる SPICE モデルで、入力電圧を設定倍して電圧出力します。入力インピーダンスは無限大、出力インピーダンスは 0 で入出力が絶縁されています。[Place] → [Controlled Sources] から取り出します。E1 と E4 の利得が 100,000 倍で、ほかはすべて利得 1 です。E1 ~ E3 の回路には負帰還はなく、E4 ~ E6 の回路では利得を 10 倍に設定した負帰還を施しています。

$R1 \cdot C1$ と $R3 \cdot C3$ の時定数が 100Hz です。 $R2 \cdot C2$, $R4 \cdot C4$ の時定数は $C2$, $C4$ を 100n, 1n, 10p (時定数 1k, 100k, 10MHz) に切り換えて、マルチステップ解析しています。

図 5-5 (b) の仕上がり利得 (A_o) を見ると、 $R4 \cdot C4$ の時定数が 10MHz の場合は平坦な利得特性になっていますが、 100k と 1k の時定数では高域遮断周波数付近に大きなピークが生じています。

これは、 A_o が利得だけでなく位相が含まれていることが原因です。負帰還の利得を表す式 (5-1-6) の $A_o \cdot \beta$ は、利得と位相の二つの要素が含まれる複素数になっています。したがって、 $A_o \cdot \beta$ が -1 になることもあります。式 (5-1-6) で $A_o \cdot \beta$ が -1 になると分母が 0 になり利得が無限大、すなわち発振器になってしまいます。

$A_o \cdot \beta$ が -1 になるのは、設定利得と A_o の値が一致する周波数 ($|A_o \cdot \beta| = 1$) で、位相が 180° 遅れた場合です。図 5-5 では設定利得が 10 倍なので、図 5-5 (c) で A_o の値が 10 倍になった周波数における位相

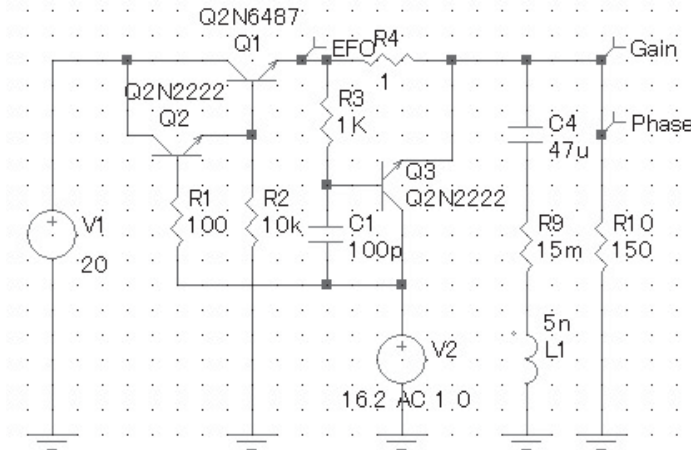
5-5-2 制御部の特性が1次LPF特性の場合

電解コンデンサは、電解液が蒸発するので寿命のある部品です。このため、高信頼性を求められる電子機器のなかには、電解コンデンサを使用できない場合があります。

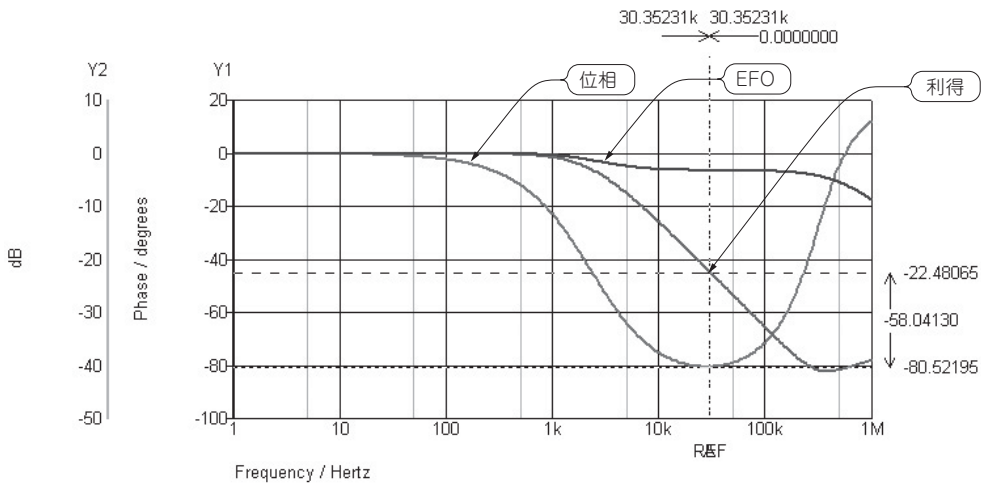
図5-30(a)は、出力コンデンサに47 μ Fの積層セラミック・コンデンサを使用したシリーズ・レギュレータで、制御部の利得・位相-周波数特性を求めるシミュレーションを行ったものです。OS-CON(パナソニック)などの直列等価抵抗値の低いコンデンサも、この特性に近くなります。

100kHz以上になると位相が戻ってきていますが、100kHz以上でループ利得を1にすると利得の減衰が大きく、誤差増幅器のGBWが足りなくなります。また、レギュレータはインピーダンスが非常に低い部分が含まれるため、100kHz程度以上ではプリント・パターンなどの浮遊インダクタンス成分による影響が大きくなり、モデリングが難しくなります。

ここでは、30kHz付近を狙ってループ利得が1になるように負帰還を設計しています。30kHz付近で



(a) シミュレーション回路 [SerRegu15V_Cont]



(b) シミュレーション結果

図5-30 制御部が1次LPF特性のシリーズ・レギュレータ

は位相が90°近く遅れているので、誤差増幅器における位相遅れは許されません。そこで、誤差増幅器の30kHz付近の利得を平坦にして位相を戻します。

図5-31に、ここで使用する誤差増幅器タイプIIを用いた負帰還を設計するための利得の漸近線を示します。

図5-30(b)の30kHzでの利得が-22.4dB(0.075)です。そこで、図5-32(a)として平坦部の利得が+22.5dB(13.3倍)になるように、R7:10k, R11:130kとしました。図5-31における f_1 を10kHzにするにR11:130kなので、C2:120pFになります。

図5-32(b)のシミュレーション結果をみると、約33kHzでループ利得が1になり、位相余裕が約78°

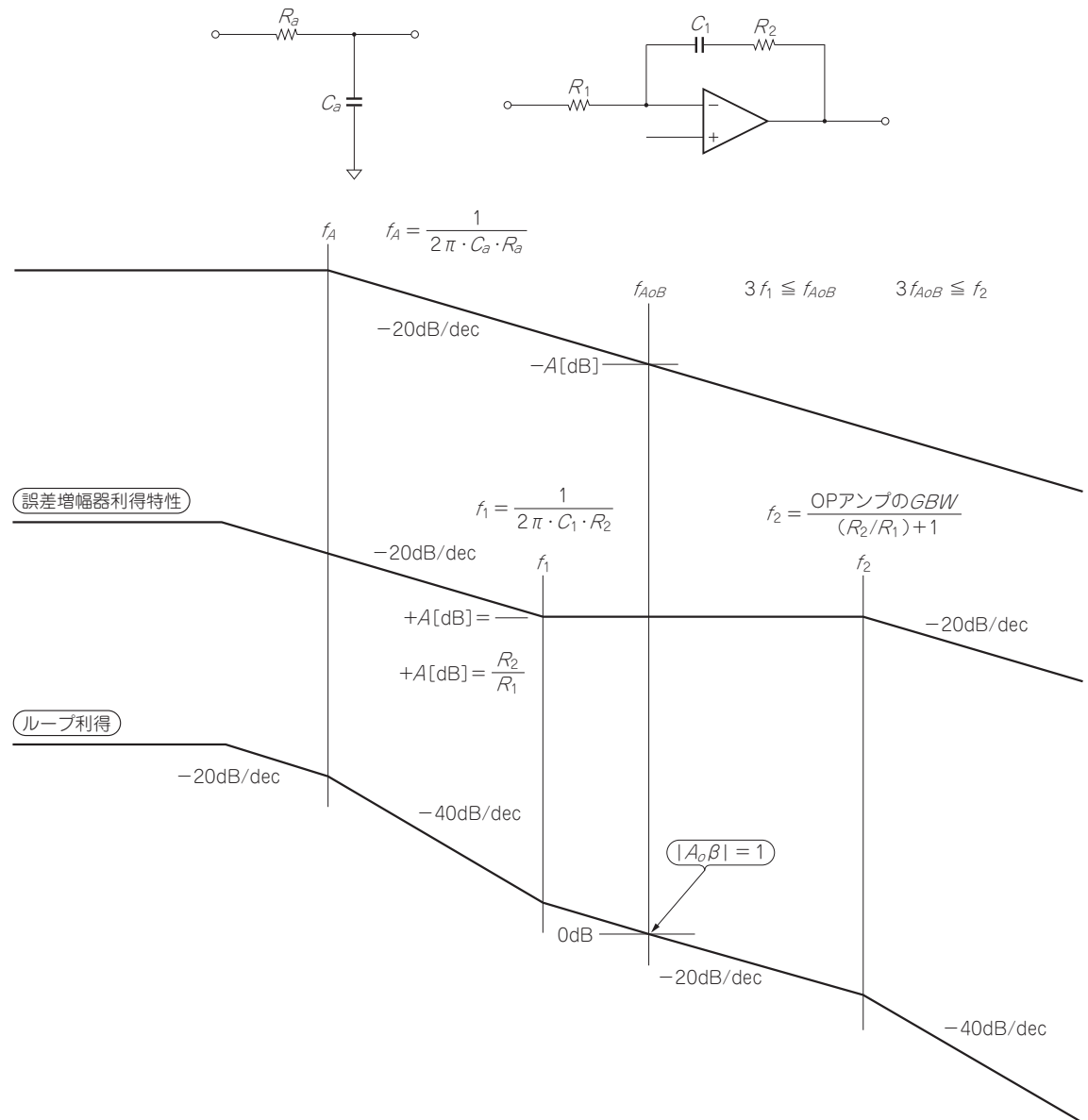
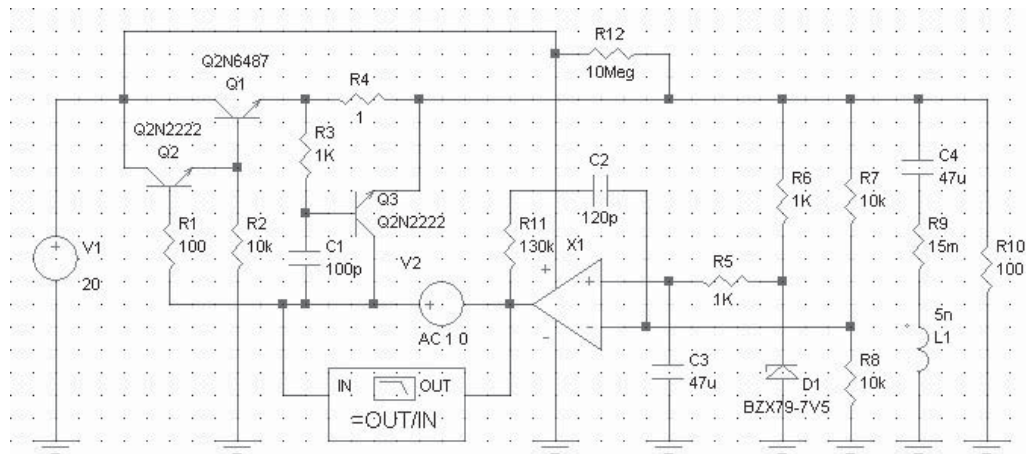
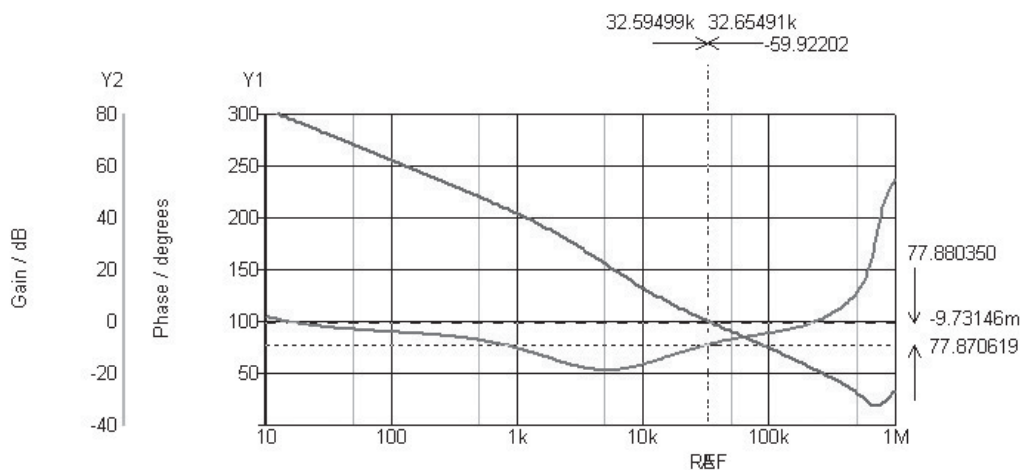


図5-31 誤差増幅器タイプIIを使用した負帰還の設計(1)



(a) シミュレーション回路 [SerRegu15VB_Loop_A]



(b) シミュレーション結果

図 5-32 制御部が 1 次 LPF 特性のシリーズ・レギュレータのループ特性

で安定な特性を示しています。

R12は、出力スタートのための抵抗です。シミュレーションでは必要ですが、実際の回路では不要です。

5-5-3 制御部の特性が 2 次から 1 次 LPF 特性になる場合

スイッチング・レギュレータでは通常出力部分にコイルとコンデンサが挿入され、利得傾斜が $-40\text{dB}/\text{dec}$ になり、位相が 180° 近く遅れます。しかし、一般的な電解コンデンサを用いるとそのESRの影響で、図 5-33 に示すように高域では利得傾斜が $-20\text{dB}/\text{dec}$ に近づき、位相が 90° 遅れに戻ります。したがって、誤差増幅器タイプ II を使用して $-20\text{dB}/\text{dec}$ の傾斜の部分でループ利得を 1 にすれば、安定な負帰還が実現できます。

図 5-34 に、ここで使用する誤差増幅器タイプ II を用いた負帰還設計のための利得の漸近線を示します。

図 5-35(a) は、約 20kHz でループ利得を 1 に設計した Buck コンバータのループ特性のシミュレーションです。V2 は PWM 変調のための三角波で、周波数 100kHz 振幅 0.6V に設定しています。X1 はコンパ

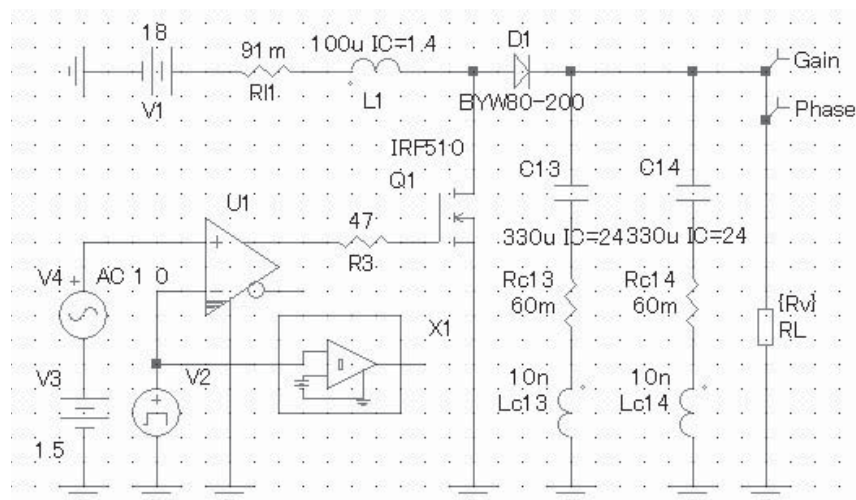
11-3—負帰還設計

誤差増幅器を設計するためには、まず図 11-6 (a) に示す制御部の周波数特性を求めます。

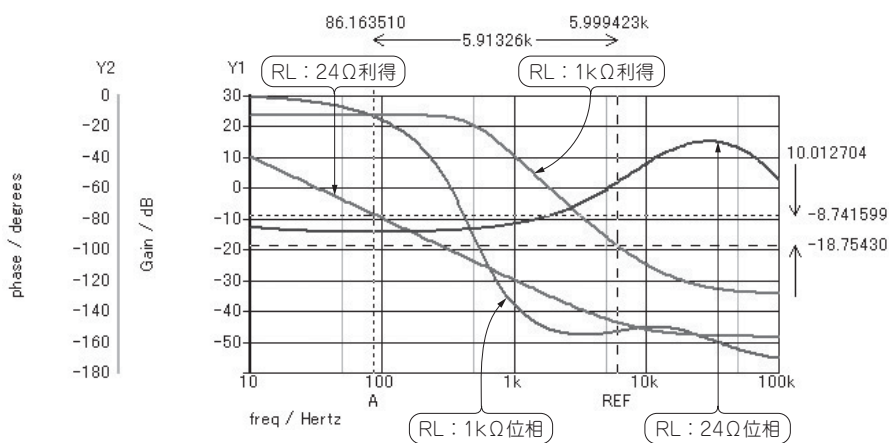
V2 には三角波を選び、FA5511 のデータシートに書かれている値から、振幅を 1V ~ 3V に設定しました。負荷抵抗 R_L には 24 Ω と 1k Ω を設定し、CCM と DCM の状態をマルチステップ解析をしています。

図 11-6 (b) が解析結果です。CCM (R_L : 24 Ω) と DCM (R_L : 1k Ω) の特性になっています。

Appendix B で示したように、CCM の利得特性は $L1$ 、 $C13$ 、 $C14$ の共振周波数とスイッチング・デューティ (D) で決定される高域遮断周波数から -40dB/dec の傾きで減衰していきます。そして、出力コンデンサの ESR などの影響で、10kHz 付近から利得の傾きが緩やかになっていきます。しかし、第 4 章と第 8 章で説明したように過剰位相系が生じ、利得の傾きが緩やかになるにも関わらず、位相のほうは 10kHz から戻ることなく位相遅れ 180° に向かっていきます。



(a) シミュレーション回路 [VBoost_Cont_AC]



(b) シミュレーション結果

図 11-6 制御部の利得・位相-周波数特性シミュレーション

DCMの利得特性は、負荷抵抗と出力コンデンサとDで決定される高域遮断周波数から-20dB/decの傾きで利得が減衰していきます。そして、出力コンデンサのESRのために利得は平坦になります。DCMでも過剰位相系が現れますが、Dが狭くなるため過剰位相系が発生する周波数が高くなり、30kHz付近から利得が平坦であるにもかかわらず一度戻った位相が再び遅れていきます。

過剰位相系では、利得が下がらず位相が遅れていきます。下がらない利得を下げてループ利得を1にするためには、誤差増幅器の高域利得を下げるしかありません。しかし、誤差増幅器の高域利得を下げると、誤差増幅器で位相遅れが発生してしまいます。このため、ループ利得を1にする周波数で位相余裕を確保することができません。

以上のことから、一般的には過剰位相系が現れない低い周波数でループ利得を1に設定します。図11-6(b)をみると、6kHz付近なら過剰位相系が現れずループ利得を1にできそうです。ということで、図11-7の漸近線を設計しました。CCM特性の6kHz付近は位相が150°程度遅れています。したがって、誤差増幅器は6kHz付近で位相を進ませることができる誤差増幅器タイプⅢを使うことになります。

図11-7の f_2 から f_3 で利得を上昇させ、位相進みを実現します。 f_2 と f_3 の間隔が広いほど位相進みが多くなり、最大では90°近い位相進みになります。 f_2 と f_3 が10倍程度離れると、約60°ほどの位相進みが実現できます。ということで、ループ利得を1にしたい f_5 が f_2 と f_3 の間になるので、

$$f_2 = f_5 \div \sqrt{10} \approx 1.9\text{kHz} \quad f_3 = f_5 \times \sqrt{10} \approx 19\text{kHz}$$

CCM特性の6kHzの利得は、-18.8dB (0.115倍)です。したがって、誤差増幅器の6kHzの利得を+18.8dB (8.71倍)にすればよいことになります。 f_2 から f_3 にかけての利得は+20dB/decの傾きなので、漸近線の f_2 、 f_3 の利得は次式から求まります。

$$\text{Gain}_{f_2} = +18.8\text{dB} - 10\text{dB} = +8.8\text{dB} \text{ (2.75倍)}$$

$$\text{Gain}_{f_3} = +18.8\text{dB} + 10\text{dB} \approx 28.8\text{dB} \text{ (27.5倍)}$$

f_1 から f_2 の平坦部の利得が+8.8dBなので、DCMの特性で-8.8dBになる周波数は約86Hzです。 f_1 を

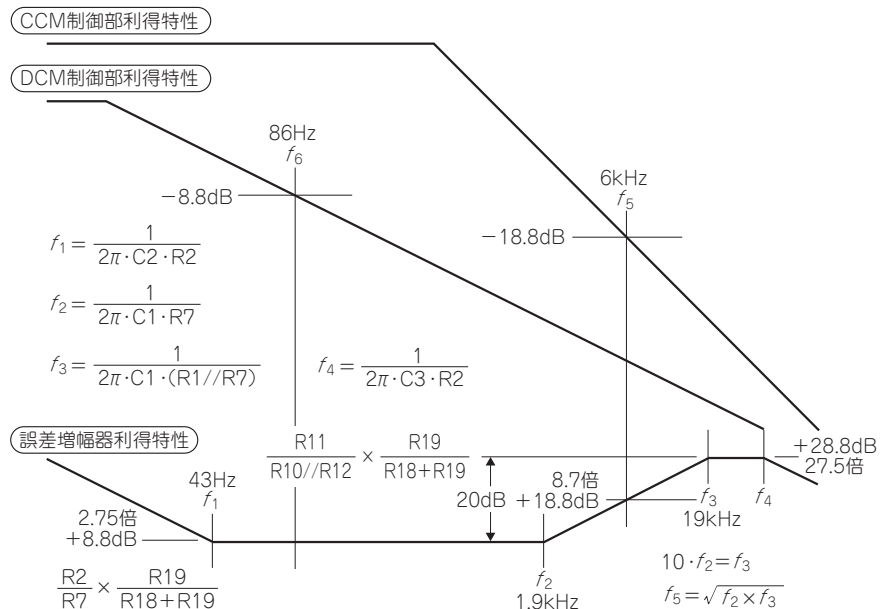
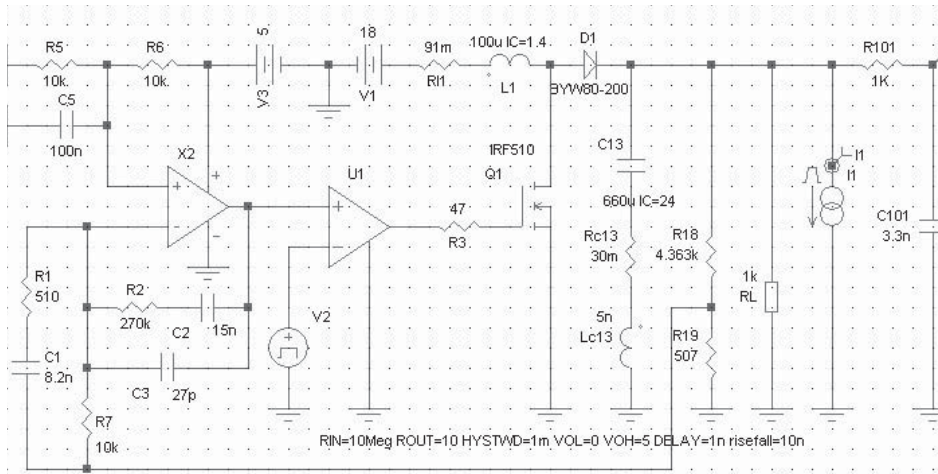
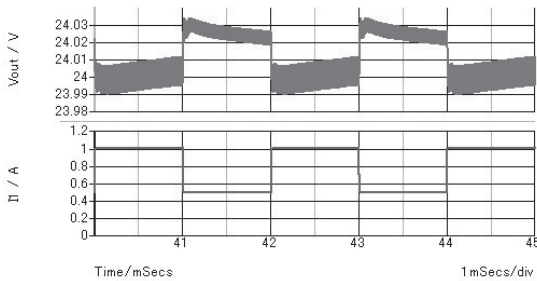


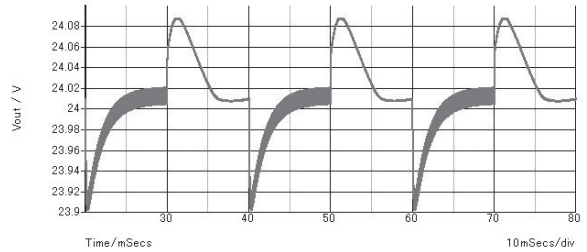
図 11-7 負帰還設計のための利得の漸近線



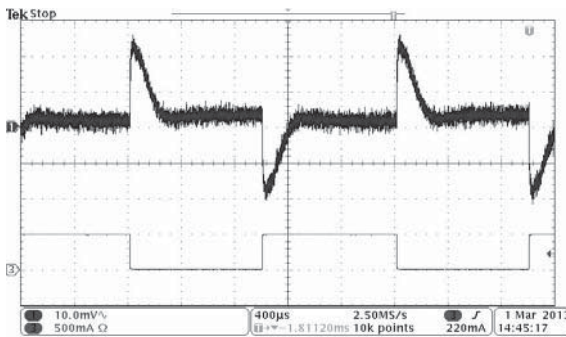
(a) シミュレーション回路 [VBoost_Vout_CCM_TransiMetrix]



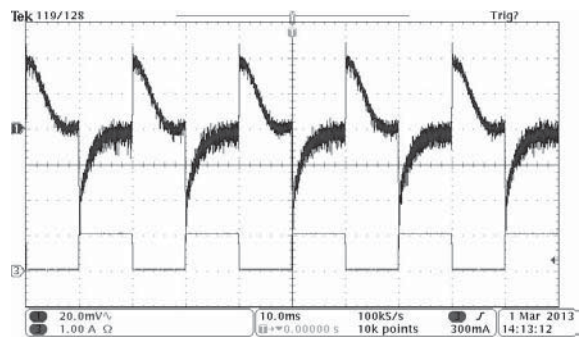
(b) 出力電流524mA~1.024A急変時の出力電圧過渡応答波形 [VBoost_Vout_CCM_TransiMetrix]



(c) 出力電流24mA~1.024A急変時の出力電圧過渡応答波形 [VBoost_Vout_CCM_DCM_TransiMetrix]



(d) 出力電流524mA~1.024A急変時の出力電圧過渡応答実測波形



(e) 出力電流24mA~1.024A急変時の出力電圧過渡応答実測波形

図 11-11 出力電流急変時の出力電圧過渡応答シミュレーションと実測

らも、もっと速い回復特性になるはずですが、図 11-11 (d) が実測した負荷急変時の出力電圧応答波形です。200us 程度で安定に元の電圧に復帰しています。

図 11-11 (c) は、DCM から CCM へ出力電流が 1A 急変したときのシミュレーション結果です。同じ条件で実測した図 11-11 (e) と比べると、回復時間は同程度ですが、変動値が実測値の 2 倍程度になっています。

ISBN978-4-7898-4951-7

C3055 ¥3800E

CQ出版社

定価：本体3,800円（税別）



9784789849517



1923055038004



見本

電子回路シミュレータ

SIMetrix/ SIMPLIS

による
高性能電源回路の設計

高い安定性と応答性が得られる負帰還特性にチューニング

●電源は電子装置の心臓部です。負荷や環境が変動しても常に安定した性能で動き続けなければ使いものにはなりません。高安定と高性能を両立するには「負帰還」と呼ばれる制御技術を理解し、使いこなして、コンデンサやコイルなど電子部品の値を最適化する必要があります。

●本書では、回路のふるまいや特性の変化がパソコン上にビジュアルに表示されるシミュレータを利用して、電源回路の性能をチューニングするテクニックを余さず詳解します。付属CD-ROMには、スイッチングレギュレータをはじめとする各種電源の解析にピッタリの電子回路シミュレータSIMetrix/SIMPLIS評価版を収録しました。合わせて、各種SPICEモデル(ダイオード、トランジスタ、接合型FET)と記事の内容を試せるシミュレーション回路も収録しました。



このPDFは、CQ出版社発売の「電子回路シミュレータSIMetrix/SIMPLISによる高性能電源回路の設計」の一部見本です。

内容・購入方法などにつきましては以下のホームページをご覧ください。

内容 <http://shop.cqpub.co.jp/hanbai/books/49/49511.htm>

購入方法 <http://www.cqpub.co.jp/order.htm>