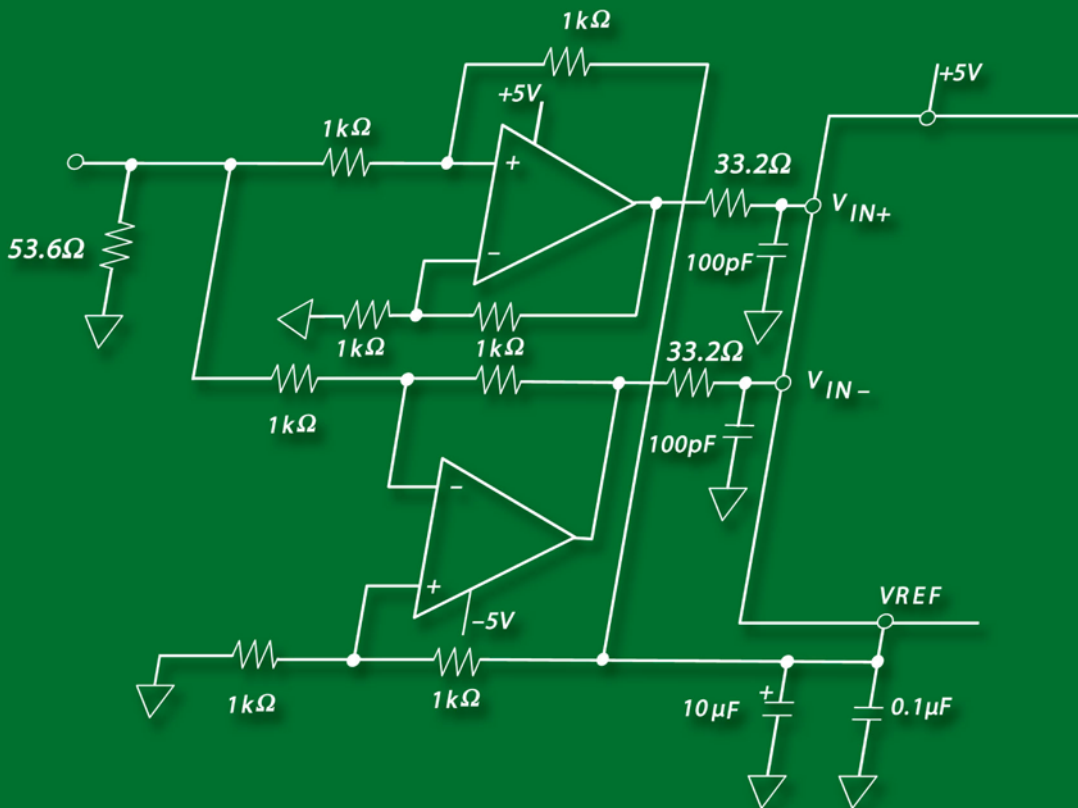


A-D/D-A変換ICの 実用技術

見本

高性能を引き出す回路の作り方と実装方法

ANALOG DEVICES アナログ・デバイセズ 著
黒田 徹 訳



第1章 データ・コンバータへのインターフェース

1.1 ADC のアナログ入力をドライブする

Walt Kester

序

ADC のドライブを含む詳細な問題を考察する前に、現代のデータ・コンバータの一般的な傾向を整理して述べる。まずは、データ・コンバータの性能が最も重要である。そして、システム応用においては性能を維持することが極めて重要である。低い周波数の計測（10Hz 帯域幅または、それ以下の帯域幅の信号）には 24 ビット分解能までの Σ - Δ 型 ADC を使うのが今ではごく普通である。これらのコンバータは、要求されるゲインとオフセット精度を維持するために、自動校正が工場出荷時に校正されるという特徴がある。高い周波数の信号処理では、ADC は広いダイナミック・レンジ（低ひずみと低雑音）、高いサンプリング周波数、そして一般的には優れた AC 特性を持たねばならない。

性能そのもののほかに、低消費電力、単電源動作、安価、小型の表面実装パッケージのような特性もまたデータ・コンバータ市場を左右する。これらの要求は、応用において無数の問題を引き起こす。なぜなら、信号振幅範囲の減少によって、雑音に敏感になるなどの問題が生じるからである。「第 5 章 5.1 節」に示すように¹、CMOS ADC の入力端子は、通常ダイレクトにスイッチト・キャパシタ構成のサンプル&ホールド・アンプ（SHA）に接続される。SHA は過渡電流を生じるので、信号源と SHA の間にバッファ・アンプを挿入しなければならない。これは、ドライブ・アンプを選択する際に、重大な問題になる。一方、BiCMOS プロセスやバイポーラ・プロセスで製造された高性能データ・コンバータは、バッファ・アンプを内蔵する場合が多いだろう。これは、一般的に CMOS データ・コンバータより高価で消費電力が大きい。データ・コンバータの動向を図 1.1 に要約する。

- ◆ 高サンプリング・レート、高分解能、秀逸な AC 特性
- ◆ 単電源動作（+5V, +3V, +2.5V, +1.8V）
- ◆ 低消費電力、シャットダウン、またはスリープ・モード
- ◆ 小さな入出力電圧振幅範囲
- ◆ 差動入力/差動出力
- ◆ 可能な限り低製造コストの CMOS を使う
- ◆ 小型の表面実装パッケージ

図 1.1 データ・コンバータの一般的動向

¹ 訳注：原著は，“As has been mentioned previously in Chapter 3”．第 5 章参照。

1.2 ADC と DAC のデジタル・インターフェース (そして関連問題)

Walt Kester

序

データ・コンバータのデジタル・インターフェースやタイミングなどの広範な領域の議論は、特定の製品に関連した多くのバリエーションのため、急速に詳細かつ冗長になることがある。かくして、このセクションではハイライトの指摘を試みるに留める。ある程度の一般化は可能だが、実情は、キー・ポイントを明白にするために、特定のコンバータのデータシートの注意深い学習に代わるものは絶対がない、ということである。

現代のデータ・コンバータは、数年前のデータ・コンバータより、はるかにデジタル集約的である。例えば、高分解能 Σ - Δ 型計測用 ADC は、一般的に、チャンネルの選択やフィルタ帯域幅、スルー・レート、PGA ゲインの設定などを決定するために使用される数個の制御レジスタを内蔵している。これらのレジスタは、シリアル・インターフェース・ポートを経由してレジスタに送られるデータを適切に取り込まねばならない。この同じシリアル・ポートは、しばしばコンバージョン・サイクルの最後に ADC から送られるデータを読むのに使用される。現代の高周波通信コンバータもまた、デジタル集約的になっている。例えば、ダイレクト・デジタル・シンセシス (DDS) IC は、出力周波数、振幅、位相、変調タイプなどを制御する内部レジスタを持っている。

電源起動直後の論理ステート状態やパイプライン遅延の影響、バースト・モード動作 (可能なものもあれば、そうでないものもある)、最小サンプリング周波数、スリープ・モードやスタンバイ・モードなどのようなデータ・コンバータのデジタルおよびタイミング部分に関連した別の問題がある。

これらのトピックスの多くは、マイクロプロセッサ、マイクロコントローラ、DSP などの設計に際して出くわすトピックスと非常によく似ている。しかし、データ・コンバータの設計を成功させるには、デジタルとタイミング問題の理解のみならず、レイアウト、グラウンド、デカップリングなどのアナログ設計に入念な注意を払う必要がある。これらのハードウェア設計のトピックスは、本書の第 4 章で詳細に述べる。

データ・コンバータのパワー・オン・イニシャライズ

簡単なフリップフロップ (基本的デジタル記憶要素) に電源が最初に印加されたとき、一般に、その出力状態を正確に予測する方法はない。付加的なパワー・オン回路を加えることなく、あるいは初期化手続きがないならば、マイクロプロセッサやマイクロコントローラ、DSP、そしてもちろん ADC や DAC のようなミックスド・シグナル・デバイス (アナログ・デジタル混載デバイス) を含め、多くのレジスタについても、これは同様である。

一方、パワー・オン・リセット機能は、マイクロプロセッサやマイクロコントローラや DSP などでは普通である。このような機能は、今やいくつかのデータ・コンバータに含まれている。とりわけ、

1.3 DAC アナログ出力のバッファリング

Walt Kester

序

今日の IC の DAC は、電圧出力か電流出力である。3 種類の基本構成を図 1.67 に示す。すべて DAC とともに OP アンプを使う。出力電圧をバッファリング、または増幅するためである。

図 1.67 (A) は電圧出力 DAC をバッファしたものである。多くの場合、バッファを付加せずに、DAC 出力をそのまま使うことができる。もし、追加の OP アンプ・バッファが必要な場合、それは非反転アンプで使うのが普通である。ゲインは $R1$ と $R2$ で決まる。

電流出力 DAC を用いる場合は、基本的に二つの方法がある。図 1.67 (B) では、外付け抵抗 R_L に電圧が発生する。もし必要ならば、外付け OP アンプでこの電圧をバッファまたは増幅できる。多くの高速 DAC は、20mA もしくはそれ以上のフルスケール電流を供給できる。それによって、かなり低い値の負荷抵抗にほどよい電圧を発生させられる。例えば、高速セトリング・ビデオ DAC の典型的なフルスケール出力電流は 30mA 近くある。よって、信号源と負荷に各 75Ω を接続した同軸ケーブルに 1V の電圧を発生できる (DAC 出力の DC 負荷抵抗は 37.5Ω となる)。

出力電流を電圧に変換する直接的な方法を図 1.67 (C) に示す。この回路は通常、「電流→電圧コンバータ」または「I-V」と呼ばれる。この回路において、DAC 出力は OP アンプの反転入力をドライブする。出力電圧は帰還抵抗 $R2$ に発生する。このアプローチでは、DAC 出力は常に仮想接地として動作する (これは図 1.67 (B) に比べ、直線性を改善するだろう)。R-2R 電流出力 CMOS DAC は、

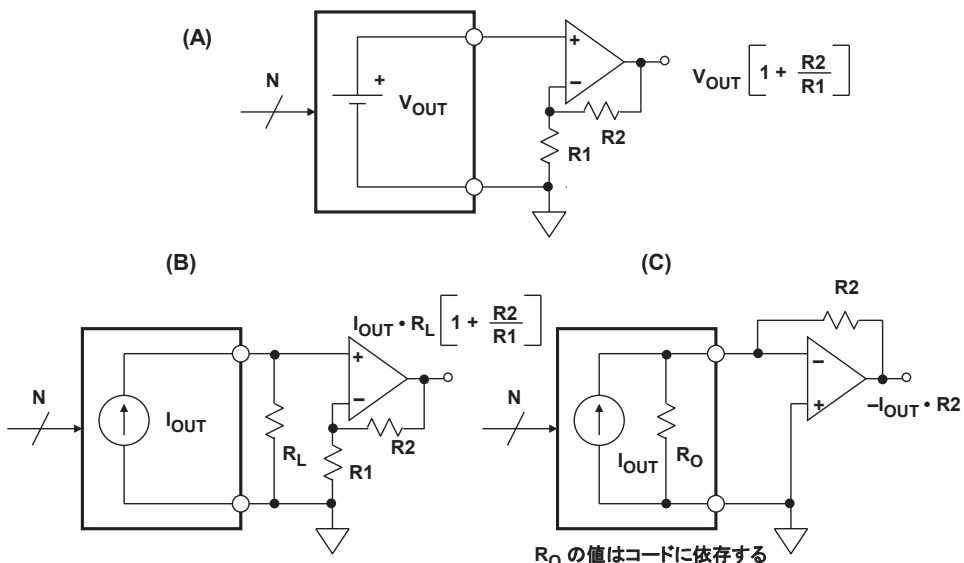


図 1.67 DAC 出力を OP アンプでバッファリングする

1.4 データ・コンバータの基準電圧

Walt Kester

たいていの場合、データ・コンバータの精度は何らかの基準電圧で決まる。もちろん例外はある。それはレシオメトリック・モードで動作する ADC である。入力信号と入力範囲のスケールはともに基準電圧に比例する。この特別な場合、正確な基準電圧は不要である。そして、一般に電源電圧で事足りる。レシオメトリック動作に関する詳細は、 Σ - Δ ADC AD7730 に関する議論を見られたい（第 5 章 5.4 節参照）¹。

いくつかの ADC と DAC は、基準電圧を内蔵している。いくつかの ADC は、基準電圧として電源電圧を使う。残念ながら、ADC/DAC の基準電圧に関する標準化は、ほとんどされていない。いくつかの場合、基準電圧を内蔵するコンバータの DC 精度は、内蔵基準電圧を無効にするか、もっと高精度かつ高安定の外部基準電圧に置き換えることで改善される。他の場合、外部の低雑音基準電圧を使うと、高分解能 ADC のノイズフリー・コード分解能を増やすこともできるだろう。

さまざまな ADC と DAC は、内蔵基準電圧に代え、さまざまな方法で外部基準電圧を使えるようになっている。（確かにすべてではないが）いくつかのポピュラな方式を図 1.76 に示す。外部基準電圧が必要なコンバータを図 1.76 (A) に示す。ADC/DAC REF IN ピンの近くに、適当なデカップリング・コンデンサを加えることが一般に推奨される。適切な値は、通常、電圧リファレンスのデータ

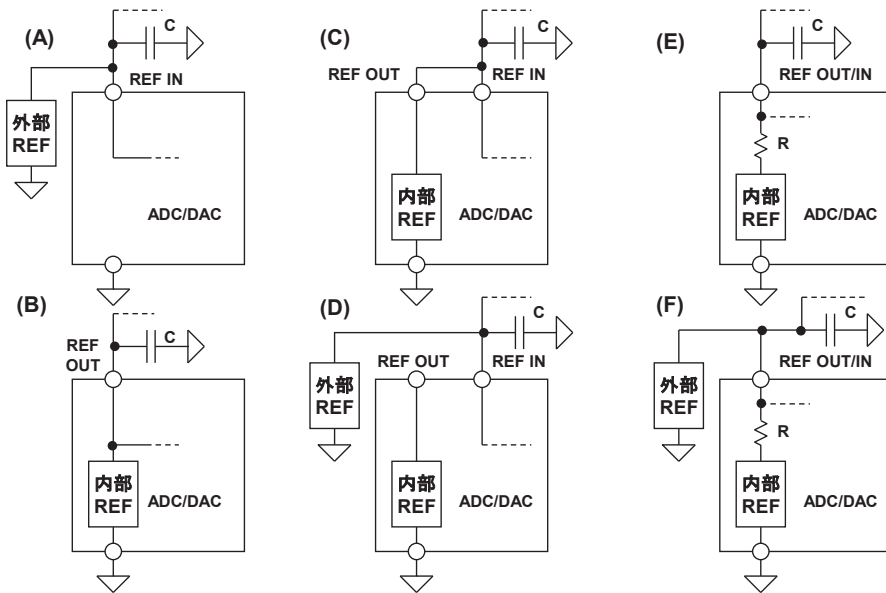


図 1.76 いくつかのポピュラな ADC/DAC 基準電圧のオプション

¹ 訳注：原著は、“see the discussion regarding the AD7730 Σ - Δ ADC in Chapter 3 of this book”. 第 5 章参照。

1.5 サンプリング・クロック発生器

Walt Kester

序

広帯域アパーチャ・ジッタ t_j とコンバータの SN 比とフルスケール・サイン波アナログ周波数 f の間には、次式のような非常に重要な関係がある（導出は「第 5 章 5.5 節」を参照）¹。

$$\text{SNR} = 20 \log_{10} \left[\frac{1}{2\pi f t_j} \right] \quad (1.7)$$

これは、理想 ADC（または DAC）を仮定している。唯一のエラー源はジッタである。SN 比測定帯域幅はナイキスト帯域幅すなわち $\text{DC} \sim f_s/2$ である。ただし、 f_s はサンプリング・レートである。式 (1.7) はまた、フルスケール・サイン波入力を仮定している。ジッタに起因するエラーは、入力信号のスルー・レートに比例する。小さなスルー・レートを持つ小さな振幅のサイン波は、高い値の SN 比（フルスケールに対する）を生じる。

別の興味深いケースは、非サイン波信号のジッタ、とりわけガウス性周波数分布信号のジッタに起因する理論 SN 比である。このタイプの信号の平均スルー・レートは、フルスケール・サイン波のスルー・レートより小さいから、ジッタに起因するエラーはより小さい。しかし、このケースの数学的処理は、いくぶん考察の範囲を超える。

式 (1.7) のジッタ t_j は、サンプリング・クロックのジッタ t_{jc} と ADC 内部のアパーチャ・ジッタ t_{ja} を結合したものである。 t_{jc} と t_{ja} は無相関だから、2 乗和平方根（root-sum-square）に基づいて結合できる。すなわち、

$$t_j = \sqrt{t_{jc}^2 + t_{ja}^2} \quad (1.7a)^2$$

多くの場合、サンプリング・クロック・ジッタは ADC のアパーチャ・ジッタより数倍大きい。それゆえ、サンプリング・クロック・ジッタが SN 比劣化の主たる要因である。例えば、AD6645 14 ビット 80/105MSPS ADC の実効値アパーチャ・ジッタの規格は 0.1ps である。このジッタ規格に対処するには、低雑音の水晶発振器が必要である。

ADC のアパーチャ・ジッタを外部から変えることはできないとしても、ADC から最高の性能を引き出すに足るサンプリング・クロック・ジッタを減らす方法はいろいろある。

図 1.78 は、式 (1.7) をグラフに描いたもので、さまざまなフルスケール・アナログ入力周波数のジッタ（ADC 内部のアパーチャ・ジッタを含む全ジッタ源 t_j を仮定していることに注意されたい）に

¹ 訳注：原著は、“In Chapter 2 of this book,” で文章が始まる。第 5 章参照。

² 編注：原著では (6.8) だが、次の式も (6.8) であり、誤植と思われる。本式を (1.7a) として区別した。

第2章 データ・コンバータ支援回路

2.1 電圧リファレンス

Walt Jung, Walt Kester, James Bryant

リファレンス回路とリニア・レギュレータは、実のところ多くの共通点がある。実際、後者は機能的にはリファレンス回路と言える。しかし、大電流（あるいは大電力）出力である。従って、二つの回路形式のほとんどすべての規格は（たとえ、リファレンスの特性はドリフトや精度などに関し通常いっそう厳しいとしても）大きな共通性がある。この節では、電圧リファレンスを議論する。そして次節では、リニア・レギュレータ（定電圧回路）を、それらの低ドロップアウト動作と高電力効率を重視して学習する。

精密電圧リファレンス

電圧リファレンスはアナログ・システムの性能や精度に強い影響を与える。許容誤差が $\pm 5\text{mV}$ の 5V リファレンスは、 $\pm 0.1\%$ の絶対精度つまりわずかに10ビット精度に相当する。12ビット・システムに、許容誤差 $\pm 1\text{mV}$ のリファレンスを選ぶことは、手動で校正するよりはるかにコスト・パフォーマンスが高い。一方、絶対精度16ビット測定システムには、高い初期精度と校正の両方が必要になるだろう。多くのシステムは絶対測定よりむしろ相対測定をすることに注意されたい。この場合、雑音と短期間安定性は重要かもしれないが、リファレンスの絶対精度は重要ではない。リファレンス選択プロセスのいくつかのキー・ポイントを図2.1に要約する。

温度ドリフトあるいは経年変化ドリフトは、絶対精度よりむしろもっと重大な問題かもしれない。初期誤差はいつでも修正できる。しかし、ドリフトの補償は困難である。可能ならば、温度係数と経年特性が、動作温度範囲とシステムの予想寿命時間にわたり、十分な精度を保つリファレンスを選ぶべきである。

- ◆ 厳しい許容誤差は、精度を改善し、システム・コストを削減する
- ◆ 温度ドリフトは精度に影響を及ぼす
- ◆ 長期安定性と低ヒステリシスは信頼性を保証する
- ◆ 雑音はシステム分解能を制限する
- ◆ ダイナミック負荷はエラーの原因になり得る
- ◆ 電池システムでは消費電力が重要である
- ◆ 小型/低コスト・パッケージは回路の実装密度を増やす

図 2.1 高性能システムのための電圧リファレンスの選択

2.2 低ドロップアウト・リニア・レギュレータ

Walt Jung

序

リニア IC 電圧レギュレータは、長らく標準パワー・システムの構成要素だった。5V 論理回路の電圧レギュレータとして最初に導入されて以来、それは 1.5V~24V の他の標準電圧に拡張されてきた。扱える出力電流は 100mA (または、それ以下) ぐらいから 5A (または、それ以上) ぐらいまでである。リニア型 IC 電圧レギュレータはいくつかの好ましい理由により、初期の時代から有用なシステム構成要素だった。一つの理由は、スイッチング型レギュレータに比べ低雑音特性が得られることである。他の理由は、部品数が少なく、ディスクリット構成に比べ全体的にシンプルなことである。しかし、その電力損失のため、これらのリニア・レギュレータは比較的効率が低いことも知られていた。初期世代のデバイス (その多くはまだ利用できる) は、非安定化入力電圧が安定化された出力電圧より 2V (または、それ以上) 必要だった。そして、これが電力の損失をもたらした。

しかし、もっと最近のリニア IC レギュレータは、より窮屈でない (すなわち低い) 最小入出力電圧差を持つように進歩している。この電圧 (差) は、より一般的にはドロップアウト電圧として知られているが、低ドロップアウト・レギュレータ、より一般的には LDO と呼ばれるものをもたらした。ドロップアウト電圧 (V_{MIN}) は、単に、出力電圧が 2% 低下する最小入出力電圧差と定義される。例えば、公称出力電圧 5V の LDO が、0.5V の入出力電圧差で出力電圧が 4.9V (-2%) に低下したならば、LDO の V_{MIN} は 0.5V と定義される。

本節で後述するが、ドロップアウト電圧は、リニア・レギュレータの電力効率にとってきわめて重要である。出力が制御された状態をなお保ちながら、レギュレータを横断する電圧が低ければ低いほど、結果的にレギュレータで消費される電力が低下する。レギュレータの低いドロップアウト電圧が、このキーを握る。入力電圧が低下しても制御が維持されるよう、ドロップアウト電圧を下げるのが肝要である。性能に関して言えば、LDO の要は、単に電力がより有効に負荷に伝達されレギュレータの発熱が減ることだけである。LDO は、携帯型コンピュータや携帯電話などのような、電池から供給される電圧を安定化しなければならない電源システムのキー要素である。これは単に、電池の放電曲線のより低い電圧まで、レギュレータの出力電圧を制御可能状態に維持するためである。あるいは、古典的な商用電源入力の非安定化直流電源装置内において、LDO はトランスの 2 次電圧の引き下げを可能にする。また、システムが冷却動作に入ったり、節電状態にシャットダウンするような機会を減らす。

リニア電圧レギュレータの基本

3 端子リニア IC レギュレータの基礎を寸評するには、LDO の多様性を理解する必要がある。結局、今日利用できるほとんどすべての LDO は、より一般的な 3 端子レギュレータと同様、**正極性**、**シリーズ型**レギュレータである。これは単に、正の非安定化入力と安定化出力間の経路を構成する直列素

2.3 アナログ・スイッチとマルチプレクサ

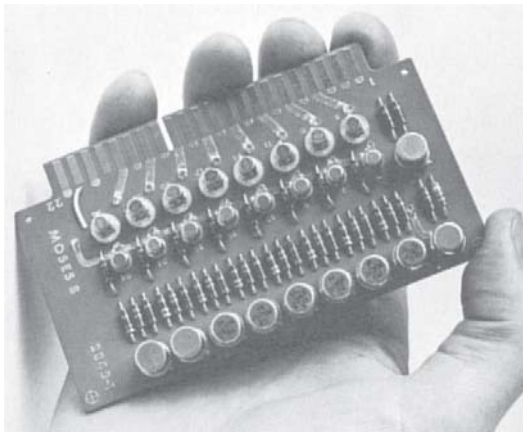
Walt Kester

序

半導体のアナログ・スイッチとマルチプレクサは、アナログ信号のための定められた伝送路を制御・選択する能力が必要な電子システム的设计に不可欠な部品になった。これらのデバイスは、マルチチャンネル・データ・アキュイジション・システム、プロセス制御、計装、ビデオ・システムなどを含む多様なアプリケーションに使用される。

最初の商用アナログ・マルチプレクサの一つを図 2.53 に示す。これは、1969年にアナログ・デバイセズのパストリザ事業部（現コンバータ事業部）から出た MOSES-8 である。このプリント基板マルチプレクサは 8 個の MOSFET スイッチと 8 個のスイッチ・ドライバで構成されていた。このパーツは、スイッチング時間 100ns、オン抵抗 500Ω だった。1969年の販売価格は 320 ドルだった。±5V の入力に ±15V の電源でマルチプレクサは動作した。しかし、±10V の入力には +15V のみならず、-28V の電源も必要だった。今日、ADG725/ADG726/ADG731/ADG732 ファミリーは、オン抵抗 4Ω、静止電流 20μA、7mm×7mm チップ・スケール・パッケージ (CSP) または thin plastic quad flatpack (TQFP) パッケージの 32 チャンネル・マルチプレクサを提供する。価格は 5 ドル以下である。

(良好な PMOS と NMOS トランジスタを同じサブストレート上に作る) CMOS プロセスの進歩によって、1970年代中期にスイッチとマルチプレクサは急速に IC 化され、アナログ・デバイセズのポピュラな AD7500 シリーズ (1973年に導入) のような製品に導入された。1976年に導入された、



現在:

ADG725, ADG726,
ADG731, ADG732:

- | | |
|--------------------|--------------------------------|
| ◆ 8チャンネル | ◆ 32チャンネル |
| ◆ スイッチング時間: 100 ns | ◆ スイッチング時間: 30ns |
| ◆ オン抵抗: 500Ω | ◆ オン抵抗: 4Ω |
| ◆ オフ抵抗: > 100MΩ | ◆ 7 mm ² CSPまたはTQFP |
| ◆ 320ドル | ◆ < 5ドル |

図 2.53 “MOSES-8” MOSFET アナログ・マルチプレクサ。
アナログ・デバイセズのパストリザ事業部, 1969年

2.4 サンプル&ホールド回路

Walt Kester

序論と歴史的眺望

サンプル&ホールド・アンプまたはSHAは、たいいていのデータ・アキュイジション・システムの重要な部分である。それはアナログ信号を取り込み、それをある動作（最も一般的には、アナログ-ディジタル変換）期間中、保持する。含まれている回路は要求が厳しい。そして、コンデンサやプリント回路基板のようなありふれた部品の予想外の特性がSHAの性能を劣化させる。

SHAがADCに（外付けまたは内蔵で）使用されたとき、SHAの性能は、連結された総合ダイナミック特性に重大な影響を与える。そして、システムのSFDRやSNRなどの決定に大きな役割を演じる。

今日、SHA機能はサンプリングADCに不可欠な部分になっている。そして、その動作を支配する基礎的概念の理解は、ADCのダイナミック特性を理解するために不可欠である。

サンプル&ホールドがサンプル（またはトラック）モードのとき、出力は小さな電圧オフセットを伴い入力に追従する。サンプル期間中、出力が正確に入力に追従しないSHAも存在する。そして、出力は（AD684, AD781, AD783のように）ホールド期間中だけ正確である。ここでは、これらを考察しない。厳密に言えば、良いトラッキング特性を持つサンプル&ホールドは、トラック&ホールド回路と呼ぶべきである。しかし実際には、その用語は同じ意味で使われている。

SHAの最も一般的なアプリケーションは、ADCの入力を変換期間中、一定の値に維持することである。すべてではないが、多くのADCの入力は変換中に、処理している信号が劣化してはならないので、1LSB以上の変化は許されない。これは、このADCへの入力を非常に低い周波数に制限するか、あるいは、各変換中、SHAを使って入力を一定に保つ必要を課す。

歴史的に眺望すると、A.H.Reevesの1939年の有名なPCM特許（参考文献1）に記述されているADCは、アナログ入力信号が真空管のパルス幅変調（PWM）で直接ドライブされた5ビット6kSPS計数型ADCだったのは興味深い。サンプリング機能はPWMに統合されている。その次のPCMの研究は、Bell研究所の電子線符号化真空管と逐次比較型ADCを使ったものである。そして、参考文献2（1948年）には、パルス・トランス・ドライブ回路に基づく50kSPS真空管式サンプル&ホールド回路と組み合わせた例が記述されている。

トランジスタが真空管に置き換わる、1950年代の終わりから1960年代の初めに至る時代のADCのためのサンプル&ホールド回路はさらに興味深い。半導体式サンプル&ホールドで発生する誤差の最初の解析処理の一つは、1964年、Bell研究所のGrayとKitsopolosによって発表された（参考文献3）。Bell研究所のEdsonとHenningは、9ビットPCMと12MSPSサンプル&ホールドを含む224Mbps PCMシステムに関する実験研究結果を述べた。参考文献4, 5, 6は、1960年代から1970年代初めにかけてサンプル&ホールド回路でなされた研究を表示している。

第3章 データ・コンバータのアプリケーション

3.1 精密計測とセンサ・コンディショニング

序

高分解能 Σ - Δ 計測 ADC は、精密センサ信号コンディショニングとデータ・アキュイジションの全分野に大変革を起こした。現代の Σ - Δ ADC は、24 ビット単調・分解能を持つ。そして、19 ビット以上のノイズフリー・コード分解能を持つ。高分解能と連結したオンチップ PGA を含めることにより、信号コンディショニング回路は事実上不要になる。たいていの場合、精密センサは直接 ADC とインターフェースできる。

Σ - Δ アーキテクチャは高度にデジタル集約的である¹。かくして、プログラム可能（プログラマブル）という特色を加えるのは比較的容易である。そして、それらのアプリケーションに大きな融通性を与える。スループット・レート、デジタル・フィルタ・カットオフ周波数、PGA ゲイン、チャネル選択、チョッピング、そして校正モードは、まさしく特色のほんの一部である。オンチップ・デジタル・フィルタの利点の一つは、傑出した 50Hz/60Hz 電源除去比のノッチ・フィルタをプログ

- ◆ 高分解能
 - 24 ビット単調コード
 - 22 ビット有効分解能 (RMS)
 - 19 ビット ノイズフリー・コード分解能 (ピーク to ピーク)
- ◆ 高精度
 - 積分直線性誤差：フルスケールの 2ppm, 19 ビットの約 1LSB に相当
 - ゲイン・ドリフト 0.5ppm/°C
- ◆ デジタルを多く、アナログを少なく
 - 速度と分解能のバランスをプログラムで設定できる
- ◆ オーバサンプリング & デジタル・フィルタリング
 - 50/60Hz 除去比
 - 高次オーバサンプリング・レートは、アンチエイリアス・フィルタを簡単にする
- ◆ 広いダイナミック・レンジ
- ◆ 低コスト

図 3.1 Σ - Δ ADC アーキテクチャの利点

¹ 訳注：原著の “As discussed in detail in Chapter 3 of this book,” は削除した。第 5 章参照。

3.2 マルチチャネル・データ・アキュイジション・システム

Walt Kester

データ・アキュイジション・システムの構成

計測とプロセス制御におけるデータ・アキュイジション・システムを目的とした多くのアプリケーションがある。すべてのデータ・アキュイジション・アプリケーションは、ADC を使って分析するためアナログ信号のデジタル化を含む。計測アプリケーションでは、必要なデータ解析を行うデジタル・プロセッサが ADC の後に続く。プロセス制御アプリケーションでは、プロセス・コントローラが、一般的に DAC を用いてアナログ形態に再変換しなければならないフィードバック信号を生成する。

単一チャネルのアナログ・データをデジタル化する単一の ADC はデータ・アキュイジション・システムを構成するが、データ・アキュイジションという言葉は一般的にマルチチャネル・システムについて言われる。もし、デジタル・プロセッサからフィードバックがあれば、デジタル応答をアナログに変換するために DAC が必要になるだろう。このプロセスはしばしばデータ分配と言われる。

各チャネルが、それ自身の専用 ADC と DAC を持つデータ・アキュイジション/分配プロセス制御システムを図 3.32A に示す。アナログ・マルチプレクサとデマルチプレクサが、単一 ADC と単一 DAC とともに使用されている別の構成を図 3.32B に示す。たいいていの場合、とりわけ多くのチャネルがある場合、この 2 番目の構成が経済的な代替策となる。

データ・アキュイジション・システムの設計には多くのトレードオフがある。フィルタリング、増幅、マルチプレクシング、デマルチプレクシング、サンプリング周波数、そしてパーティショニングのよ

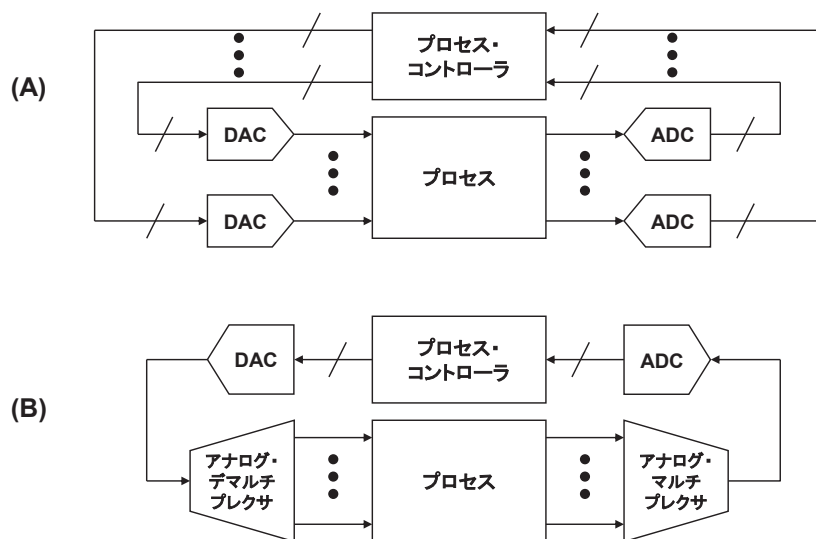


図 3.32 マルチチャネル・データ・アキュイジション・システムの二つのアプローチ

3.3 デジタル・ポテンシオメータ

Walt Kester, Walt Heinzer

序

機械式ポテンシオメータは、エレクトロニクスの初期の時代から使用されてきた。そして、さまざまなセンサ、電源、あるいは事実上なんらかの校正を必要とするデバイスなどの出力調整に便利な方法を提供した。タイミング調整、周波数調整、コントラスト調整、輝度調整、ゲイン調整、そしてオフセット調整などは、可能性のほんの一部である。しかし、機械式ポテンシオメータは常に物理サイズ、機械疲労、摺動子汚染、抵抗ドリフト、振動/温度/湿度などに敏感、ねじ回しが必要、レイアウトの融通性がないなどを含むおびただしい問題に苦しんだ。

デジタル・ポテンシオメータは、機械式ポテンシオメータに付きもののこれらの全問題を避けられる。必要な制御信号を供給するためにマイクロコントローラか別のデジタル・デバイスがある場合は新設計に理想的な置き換えとなる。いかなるオンボード・マイクロコントローラもない場合は、手動制御のデジタル・ポテンシオメータもまた利用できる。機械式ポテンシオメータと違いデジタル・ポテンシオメータはアクティブ制御アプリケーションにおいてダイナミックに制御される。

デジタル・ポテンシオメータは、CMOS “ストリング型 DAC” アーキテクチャに基づく¹。そして、その基本ダイアグラムを図 3.54 に示す。ノーマル・ストリング型 DAC 構成において、A および B 端子は基準電圧源に接続されている。そして、W (摺動子、ワイパ) 端子は DAC 出力である。ス

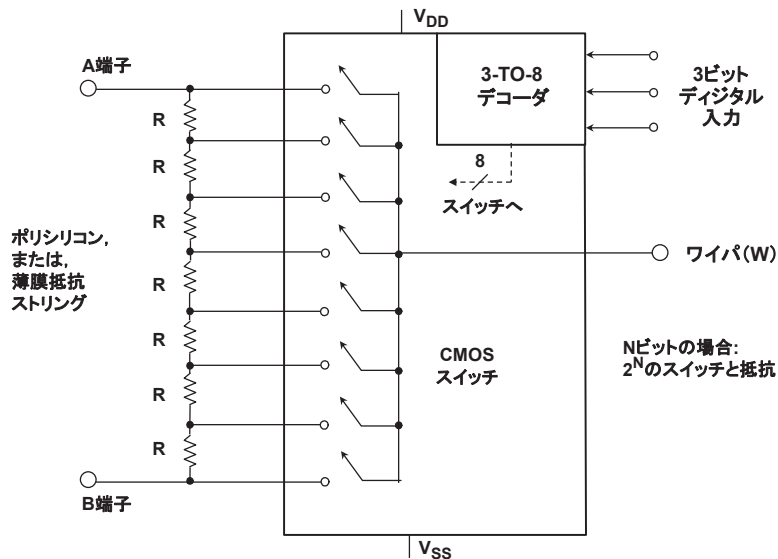


図 3.54 “ストリング型 DAC” アーキテクチャに基づく 3 ビット CMOS デジタル・ポテンシオメータ

¹ 訳注：原著の “～ previously described in Chapter 3 of this book,” は削除した。第 5 章参照。

3.4 デジタル・オーディオ

Walt Kester

序

音声帯域デジタル・オーディオの起源は、1937年に発行した（米国）国際電話電信会社のA. H. Reevesの特許によって開始されたPCMシステム開発の初期の時代にさかのぼる（参考文献1）。1940年代の初期、ベル電話研究所は音声暗号化システムの研究を続けた。そして戦後、彼らは目標を商業PCM送信に転換した。24チャンネルPCM実験システムが開発された。そして、その結果は1948年、L. A. MeachamとE. Petersonによって参考文献2にまとめられた。この研究の重要な開発のいくつかは、逐次比較型ADC、シャノン・ラック・デコーダ (DAC) そして音声帯域信号の対数圧縮/伸長だった。

1秒当たりのビット数を最小化し、なおかつ音声帯域に必要なダイナミック・レンジを確保するため、初期のシステムはADCの前に対数圧縮器を持ち、DACの後ろに対数伸長器を持つ7ビットADCとDACを使った。

1950年代中頃に半導体デバイスが使えるようになり、Bell研究所はT-1搬送波システムを開発した。それは1950年代後期にプロトタイプとなり1960年代に運用された。音声帯域信号の標準サンプリング・レートは8kSPSに定められた。最初のシステムは対数符号化ADCとDACを使った。後期のシステムは、8ビット“セグメント”ADCとDAC（アーキテクチャは「第5章 5.8節」を参照!）を使った。

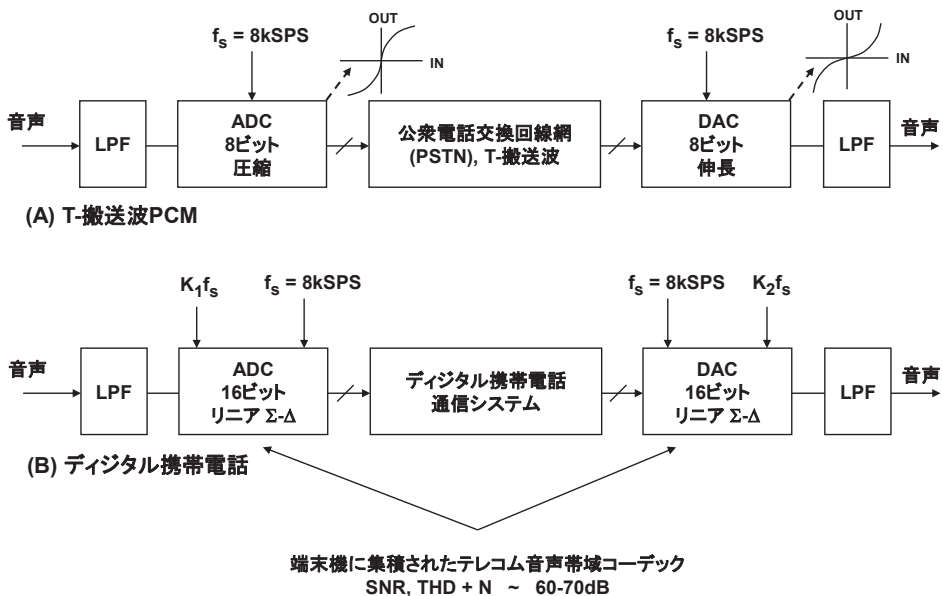


図 3.62 簡略化した音声帯域テレコム・デジタル・オーディオ（訳注：原著では図(A)の圧縮/伸長のグラフが逆になっている。修正した）

1 訳注：原著は，“see Chapter 3 of this book for a description of the architecture”. 第5章参照。

3.5 デジタル・ビデオとディスプレイ・エレクトロニクス

Walt Kester

デジタル・ビデオ

序

データ・コンバータのビデオ・アプリケーションを考察する前に、ビデオ信号と規格に関するいくつかの基礎を復習しよう。標準ビデオ・フォーマットは、ビデオ信号がエレクトロニクスの視点からどのように見えるかという規格である。光がカメラの中の画像検出デバイスの表面に当たると、表面の特定の場所に当たった光量に対応する電圧レベルが発生する。この情報は標準フォーマットに置換され、そしてカメラから順次送り出される。実際の光と色情報のほかに、受信デバイス、例えばテレビ・モニタが連続信号をフレーム・データと認識できるよう同期パルスが信号に加えられる。

標準ビデオ・フォーマット画像は、左から右へ、上から下に、逐次処理され読み出される。インターレーシングと呼ばれる技術は、図3.78に示すように、偶数番号の全ラインを上から下に読み出し、それに続いて奇数番号の全ラインを読み出すものである。

標準テレビ画像フレームは、かくして偶数フィールドと奇数フィールドに分割される。インターレースは、実際に起こる全更新の半分の時間で、あたかも全フレームが更新されるかのように見せるため使用される。これは、テレビ画像の見かけ上のちらつきを少なくする。典型的なテレビ放送のフレーム更新レートは、電源周波数に依存して30Hzまたは25Hzである。インターレースは、大きなリフ

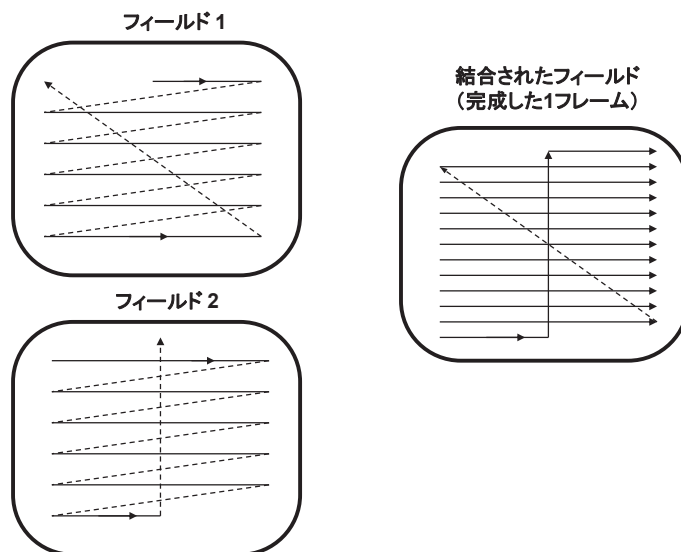


図 3.78 標準テレビ・インターレース・フォーマット

3.6 ソフトウェア無線と中間周波サンプリング

Walt Kester

序

ソフトウェア無線という用語は、1980年代末から1990年代初期の軍事通信用受信機に始まる（参考文献1, 2）。以来、そのコンセプトは、商用分野とりわけ携帯電話用途に幅広く採用されてきた（参考文献3~18）。

ソフトウェア無線受信機は、アンテナにできるだけ近い部分に、実際は通常、中間周波段（IF）に、受信機内のアナログ信号をデジタル化するためのADCを使う。それで、IF サンプリング（中間周波サンプリング）という言葉が生まれた。信号はいったんデジタル化されると、受信信号プロセッサ（RSP）と呼ばれる専用DSP（デジタル・シグナル・プロセッサ）を用いて、フィルタリング、復調され、各チャンネルに分離される。同様に、ソフトウェア無線送信機はデジタル領域において、符号化、変調などを行い、そして最終出力段近くの間中周波段で、DAC（デジタル・アナログ・コンバータ）を使い、信号を送信アナログ・フォーマットに戻す。DACの前段のDSPは、送信信号プロセッサ（TSP）と呼ばれる。非常に単純化した一般的なソフトウェア無線受信機と送信機を図3.109に示す。

理想的な場合、ソフトウェア無線は高価なアナログ信号処理回路のかなりの部分を省くことができる。そして、これらのアナログ回路機能は安価なDSPで処理される。また、ソフトウェア無線はDSPのプログラムをさまざまに変えることにより、同じハードウェアで種々の無線規格に対応できる。

広帯域IFサンプリングは、SN比とSFDR（スプリアス・フリー・ダイナミック・レンジ）に関し、ADCとDACに厳しい要求を課す¹。しかし、変換技術は、ソフトウェア無線がほとんどの一般

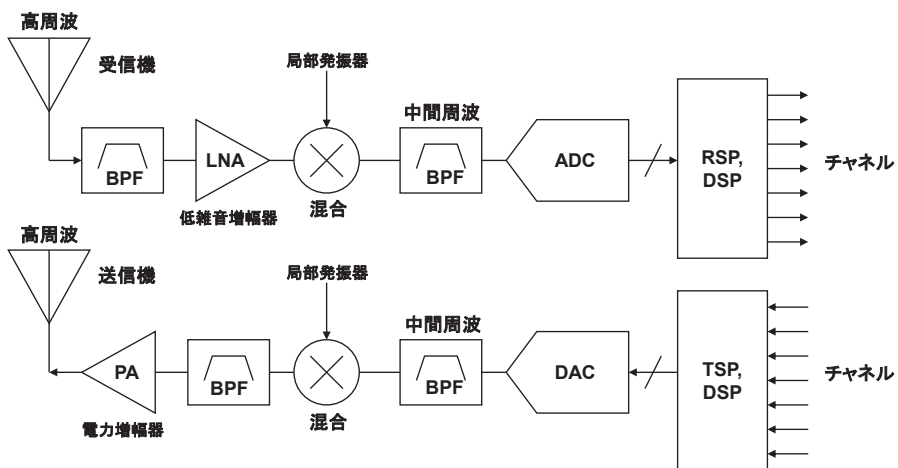


図 3.109 一般的な IF サンプリング・ソフトウェア無線受信機と送信機

¹ 訳注：原著の“～ as has previously been discussed in Chapter 2.”は削除した。第5章参照。

3.7 ダイレクト・デジタル・シンセシス (DDS)

Walt Kester

DDS 入門

周波数シンセサイザは、複数の周波数を一つまたはもっと多くの基準周波数から生成する。これらのデバイスは、とりわけ通信システムにおいて数十年間使用されてきた。多くは、一群の水晶発振器から、スイッチングとミキシングを使い、周波数を出力するものである。他のものは、位相ロック・ループ (PLL) を利用した周知の技術に基づくものである。この成熟した技術を図 3.158 で例証する。位相比較器の片方の入力は固定周波数のリファレンスで駆動される。位相比較器のもう一つの入力は、電圧制御発振器 (VCO) がドライブする N 分周器からドライブされる。内蔵ループ・フィルタの出力により駆動される VCO の出力は、負帰還により基準周波数の N 倍になる。ループの時定数はループ・フィルタで制御される。PLL の設計には、位相雑音、同期速度、周波数分解能などのような多くのトレードオフがある。そして、この問題に関する多くの良い参考文献がある (参考文献 1~5)。アナログ・デバイスは、設計プロセスを支援するためのシミュレーション・ソフトウェアのみならず、整数分周型 PLL と分数分周型 PLL の完ぺきな選択肢を持っている。

計装と通信システムにおけるデジタル技術の広範な使用により、基準周波数源から複数の周波数を生成するデジタル制御法はダイレクト・デジタル・シンセシス (DDS) と呼ばれるものを発展させた。その基本構成を図 3.159 に示す。この簡略化モデルにおいて、安定なクロックは、サイン波波形 (あるいは別の任意波形でもよい) の 1 周期またはそれ以上の整数周期を記憶しているプログラム可能読み出し専用メモリ (PROM) をドライブする。アドレス・カウンタが各記憶域をカウントアップするにつれ、対応する信号のデジタル振幅は、DAC をドライブしてアナログ出力信号を次々

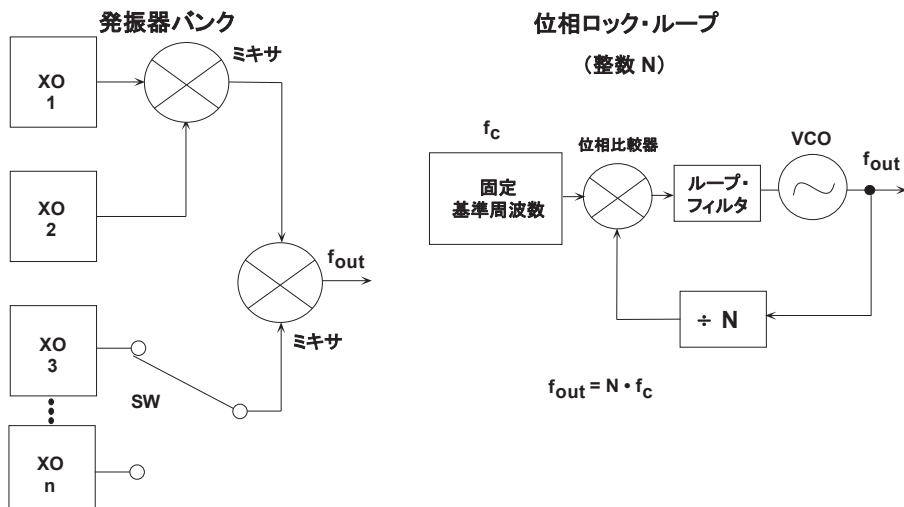


図 3.158 発振器と位相ロック・ループを使う周波数合成

3.8 精密アナログ・マイクロコントローラ

Grayson King

序

多くの最新センサ・インターフェース設計は、精密信号コンディショニングとA-D変換のみならず、ADCを制御しデジタル領域でいくつかの信号操作を実行するため、いくつかの局所的組み込み処理が必要である。この機能にはマイクロコントローラが理想的である。そして、不揮発性メモリの追加により、さまざまな校正係数を記憶できる。そして、システムの再プログラミングを容易にする。もちろん、ADCと不揮発性メモリとマイクロコントローラの組み合わせは、ちょっと名を挙げれば、通信、医療、ハンドヘルド機器のような他のアプリケーションにも有益である。

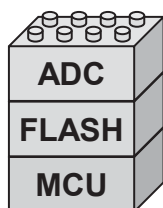
その上、さまざまなバスに接続するデジタル・インターフェースを規格化した“スマート・センサ”を定めるための著しい努力がなされた（参考文献1~4参照）。これらのスマート・センサに基づく信号コンディショニング、A-D変換、マイクロコントローラによるデジタル処理などである。

アナログ・デバイセズは、これらの3個の主要な要素を調べ、そして、これらを“MicroConverter”と呼ぶ1チップに集積した。MicroConverterファミリの各製品は、図3.178に示す高性能アナログI/O、不揮発性フラッシュ・メモリ（EEPROM）、そして業界標準マイクロコントローラ・コアを含む。これらの3個の基本機能ブロックに加え、多くの追加周辺装置が内蔵されている。

このタイプの集積化は、全サイズの小型化、（部品数の削減による）製造コストの減少、（データ・バスがチップ内にとどまるため）不要放射の減少、そして（オンチップ周辺装置へのインターフェースは既に済んでいるから）ソフトウェア設計がより容易である、などを含む多くの利点がある。

MicroConverter 製品群の特性

アナログ・デバイセズから入手できる現行の8051ベースのMicroConverterデバイスの約15種類の中で、およそ半数は12ビット分解能 最大400kSPSサンプリング周波数の標準スイッチト・キャパシ



高性能アナログI/O
不揮発性フラッシュ・メモリ(EEPROM)
業界標準マイクロコントローラ



MicroConverter

図 3.178 MicroConverter の定義

第4章 ハードウェア設計技術

本章は、この本の中で長い章の一つであるが、先に述べたデータ・コンバータに直接かかわる全基本回路のトピックスと全く同様の重要なトピックスを扱う。本章は、見かけ上はシステム・ハードウェア設計技術に分類されるさまざまな細々した回路とシステムの問題を扱う。こうした中で、設計技術はデータ・コンバータを取り巻くすべての支援項目に及ぶであろう。ただし、データ・コンバータ自体は除く。これは次の問題を含む。すなわち、受動部品、プリント回路基板設計、電源供給システム、リニア素子を過大電圧と熱の影響から保護すること、EMI/RFI 問題、高速論理回路の考慮事項、そして最後に、シミュレーション、ブレッドボードと試作。これらのトピックスのいくつかは、設計の実際の信号経路に直接には含まれない。しかし、それらはどの点から見ても、適切なデバイスや周辺回路定数を選択するのと同じくらい重要である。

リモート・センシングと信号コンディショニングはデータ変換の不可欠な部分である。それに関し、過電圧保護、ケーブル・ドライブ、シールド、そして受信（遠隔インターフェースには、しばしば OP アンプや計装アンプが用いられる）のような、著しく分量の多い議論をする。この議論の多くは、姉妹書籍 Walter G. Jung 著 *Op Amp Applications*, アナログ・デバイセズ, 2002 年発行から引用した。

4.1 受動部品

James Bryant, Walt Jung, Walt Kester

序

データ・コンバータ、OP アンプ、そして、その他の高精度アナログ・デバイスを設計するとき、ユーザが貧弱な受動部品を選択する落とし穴に落ちるのを避けることが肝要である。実際、粗悪な受動部品は、たとえ最良の OP アンプとデータ・コンバータを用いたアプリケーションですら、台なしにする恐れがある。本節は、OP アンプとデータ・コンバータのアプリケーションのための受動部品の選択に際し、陥りがちないくつかの基本的な落とし穴の議論を含む。

あなたは高精度 OP アンプあるいはデータ・コンバータにかなりの出費をしたけれど、ボードに電源を投入した途端、デバイスが仕様を満足しないことを発見したならば、おそらく回路はドリフトが大きく、周波数特性は貧弱で、また発振している。あるいは、単に期待した精度が達成されていないだけかもしれない。さて、あなたはデバイスを責める前に、コンデンサ、抵抗、ポテンショメータや、そしてもちろん、プリント回路基板すらも含むあなたが使用した受動部品を綿密に調べるべきである。この領域において、これらの受動部品の許容誤差、温度、寄生効果、経時変化、そしてユーザの組み立て工程などの微妙な影響が、あなたの回路を知らないうちに劣化させる可能性がある。そして、受

4.2 プリント回路基板の設計問題

James Bryant, Walt Kester, Walt Jung

プリント回路基板は、現在の電子回路を組み立てる最も一般的な方法である。1枚（以上の）絶縁層と1枚以上の銅導電パターンのサンドイッチ構造は、さまざまな形の誤差を回路にもたらず。特に、回路が非常に高精度、または高速に動作している場合は、プリント回路基板が高精度回路設計に使用されていれば、それはいつでも“見えない”部品として動作する。設計者は常に、プリント回路基板の電気的特性を回路に追加された構成要素と考えると限らないから、総合特性は予測より容易に悪化する可能性がある。本節は、多くの形態の中に現れるこの一般的な話題に焦点を合わせる。

高精度回路の性能に害をもたらすプリント回路基板からの影響には、リーク抵抗、配線パターン銅箔の（意図しない）不要電圧降下、ビア、グラウンド層の問題すなわちストレージ容量、誘電吸収（DA）、そして関連した“フック”などの影響が含まれる。その上、プリント回路基板が大気中の湿度を吸収する傾向、すなわち**吸水性**は、湿度の変化がしばしばその日その日で変化するある種の寄生効果を引き起こすことを意味する。

概してプリント回路基板の影響は、おおざっぱに二つのカテゴリに分類される。すなわち、回路の静的またはDC動作に最も著しく影響を及ぼすもの、そして、動的またはAC回路動作に最も著しく影響を及ぼすものに分類される。

プリント回路基板設計のもう一つの非常に広い分野は、グラウンド処理のトピックスである。グラウンド処理はそれ自体、すべてのアナログ設計の悩みの種である。そして、プリント回路基板にグラウンドを実装したとて、その事実を変えられるわけではない。しかし、幸いなことに、上質のグラウンド処理原則すなわちグラウンド・プレーンが、プリント回路基板に使用されている。グラウンド・プレーンのできることで、アナログ回路設計にプリント回路基板を使用する重要な利点の一つである。そして、この節のかなりの部分がこの問題に費やされる。

きちんと管理すべきグラウンド処理のもう一つの問題は、性能の劣化を招きかねない意図しないグラウンド電圧と信号帰路電圧の制御である。これらの電圧は、外部信号の結合や共通電流によって、または単にグラウンド導体の過剰な IR 積（電流×抵抗）電位降下によっても生じる。信号の差動処理やグラウンド分離技術はもちろんのこと、適切な導体による配線の引き回しと配線サイズを用いることでもこのような寄生電圧を制御できる。

検討すべき最後のグラウンド処理領域は、ミックスド・シグナルすなわちアナログ・デジタル混載回路に適するグラウンド処理である。このトピックスは多くのアプリケーションが要求する題目であり、そして、ADC（またはDAC）とのインターフェースがシステム設計の主要部分である、というのには確かに正しい。かくして見逃すべきではない。実際、上質のグラウンド処理というわずか一つの問題が、高性能ミックスド・シグナル・プリント回路基板の全レイアウトの設計方針を決めてしまうことがある。当然だろう。

4.3 アナログ回路用電源システム

Walt Jung, Walt Kester

アナログ回路は、従来、十分に安定化された低雑音リニア・レギュレータ電源から給電されてきた。このタイプの電源システムの電力変換効率は、一般的に中程度かもっと低いという特徴がある。このようリニア・レギュレータは通常、その内部で発生して外部へ放出される雑音成分が非常に少ない。もし、設計の実態が本当に単純ならば、このようなありふれた設計を続けても、性能が良くそして副次的影響が最小限度のシステムにできるだろう。

しかし、設計の実態がそんなに単純なことは少ない。現在のシステムにもリニア・レギュレータを使用できるが、しばしば複数の電源出力電圧および/または正・負電源電圧の必要な場合がある。その上、高い電力効率も必要という風潮がある。それは、DC - DC 変換技術を要求するが、残念なことに、DC - DC コンバータは雑音出力が大きい。

本節は、(OP アンプ、アナログ・マルチプレクサ、ADC、DAC などを含む)アナログ・システムに最も多く使用されているタイプのレギュレータを踏まえて電源の問題を述べる。1次直流電源(安定化する前の直流電源)は、交流電源を整流・平滑したもの(すなわち、商用電源から取り出した電源)やバッテリー電源か、スイッチング・レギュレータの出力と仮定する。スイッチング電源には、バッテリーや商用電源から取り出した電源の直流出力から給電できる。

図 4.52 に記されているように、リニア・レギュレーションは、どんな場合でも最適の出発点として一般的に推奨できる(図 4.52 の最初の◆を参照)。にもかかわらず、場合によってはフル・リニア安定化とスイッチング安定化の間のある程度の混成が必要かもしれない(図 4.52 の 2 番目の◆を参照)。これは、効率のため、あるいは他のさまざまな理由による。

高精度アナログ回路の給電にスイッチング・レギュレータが使用されているときは、必ず雑音の抑

- ◆ **高性能アナログ電源システムはリニア・レギュレータを使う。入力電力は以下から供給される**
 - 交流ライン電源
 - バッテリー電源システム
 - DC - DC 電源変換システム
- ◆ **可能ならば、スイッチング・レギュレータの使用は避けるべきである。しかし、避けられないならば...**
 - 雑音抑制技術を適用する
 - 高品質のレイアウトとグラウンド処理を行う
 - EMI に配慮しなさい

図 4.52 アナログ電源システムに対する安定化の優先度

4.4 過電圧保護

Walt Jung, Walt Kester, James Bryant, Joe Buxton, Wes Freeman

データ・コンバータ、OP アンプ、その他のアナログ IC は、しばしば、その入力端子と出力端子を過電圧から保護する必要がある。この背後にある理由の一つは、これらの IC は、もともと比較的壊れやすい部品だからである。通常の信号に対しては可能な限り頑丈に設計されていると言えども、定格以上の過渡電圧が印加され得るある種のアプリケーションや取り扱い状態がある。この状況は 2 種類ある。一つは、アプリケーション回路の動作中に回路の内部で起こる。もう一つは、回路動作に関係なく起こる。それは、IC を供給元から受け取った後は、IC の最終組み立て工程や実装以前にいつでも起こり得る。どちらの場合も、もし設計者が IC の入力（事によると出力）における故障（を招く）電流を制限しないならば、過渡電圧にさらされた IC は損傷するか破損するだろう。それがまさに現実 (fact-of-life) である。

それゆえ明らかに、設計者は保護が必要な IC の内部で起こる故障メカニズムのすべてを完全に理解すべきである。理解すれば、IC の寿命時間にわたり、速度や精度を犠牲にすることなく動作中の IC を保護する回路網の設計ができる。あるいは、（稼働していない）IC を最終出荷先まで安全に届けるための適切な保護処理手順を策定できる。本章のこの節は、動作中の OP アンプやその他のアナログ IC を十分に保護するためのさまざまな保護方法や IC が稼働していないときの環境について吟味する。

動作時の過電圧保護

アプリケーションの稼働中に、OP アンプやその他のアナログ IC の入力にストレスが加わるのはよくあることである。これらの IC は、しばしば外部とインターフェースしなければならないから、IC の絶対最大定格を越える電圧を処理する必要が生じるだろう。例えば、センサは、故障時に回路を危険な高電圧にさらす恐れのある環境にしばしば置かれている。信号処理アンプに接続されたセンサによって、その故障時は、アンプの入力に過電圧の印加が予想される。

一般的な同相入力電圧の制限

OP アンプまたはデータ・コンバータの同相入力 (CM) 電圧が電源電圧範囲を越えるときは、たとえ電源が OFF でも、デバイスが損傷する恐れがある。従って、ほとんどすべてのリニア IC の入力電圧の絶対最大定格は、正電源電圧および負電源電圧を約 0.3V 超えるレベル(すなわち、 $+V_S + 0.3V$ または $-V_S - 0.3V$) に制限される。この一般的なルールに対するいくつかの例外はあるかもしれないが、次のことに留意するのが重要である。すなわち、ほとんどのリニア IC は、電源電圧より 0.3V 以上高い電圧が入力に印加されるときは、入力保護が必要である。

安全動作のルールは、印加される同相入力電圧を電源電圧の範囲内に保つことである。ここで言う“安全”は、IC の破壊を徹底的に防ぐことを意味する。後述するが、ある種のデバイスには、電源

4.5 熱管理

Walt Jung

信頼性の見地から、かなりの電力を消費するデータ・コンバータ・システムは、**熱管理**の順守が求められる。すべての半導体は、安全に動作する接合温度(T_j)の上限が規定されている。通常は、150°C程度(時には175°C)である。最大電源電圧のように、最大接合温度は超えてはならない最悪ケースの限界である。用心深い設計では、安全マージンに余裕のない取り組みはなされないだろう。これは重要である。なぜなら、半導体の寿命は動作時の接合温度に反比例するからである。簡単に言えば、ICを冷やせば冷やすほどその寿命が延びる。

電力と温度の限界が基本である。そして、図 4.108 の典型的なデータシートの記述によって、それを例証する。これは、8 ピン SOIC の AD8017AR の例である。

これらの記述は、デバイスの電力消費やプリント回路基板へのパッケージの実装規定のようなある種の動作条件と結び付いている。AD8017AR の場合、周囲温度25°Cにおける定格電力は 1.3W である。これは、銅板をヒートシンクの目的に使うため、4 平方 inch (約2500mm²) の 2 オンス銅の 2 層プリント回路基板に実装した SOIC パッケージを仮定している。他の条件下でのデバイスの安全動作の予測は後述する。

熱の基本

記号 θ は、一般的に**熱抵抗**を表すのに使用される。熱抵抗の単位は°C/Wである。特記がなければ、 θ は IC の接合部から周囲の空気まで熱が伝達する際の熱抵抗を表している。熱抵抗は、もっと明確に θ_{JA} (接合から周囲までの熱抵抗)と表示されることもある。さらに、 θ_{JC} と θ_{CA} という二つの θ も使用される。これについては、以下でさらに説明する。

一般的に、デバイスの熱抵抗 θ が100°C/Wのデバイスは、1Wの電力が消費されたとき、2個の基準点間の測定で100°Cの温度差が現れることを意味する。消費電力と温度差の関係は直線的だから、このデバイスで1W消費したとき100°Cの温度差が生じる(違う消費電力の場合も同様)。AD8017ARの例では θ は約95°C/Wだから、1.3Wの消費電力は、接合温度と周囲温度の間に約124°Cの温度差を発生する。設計の熱信頼性を判断するための内部温度を予想するのに使用されるのは、この温度上昇で

AD8017によって安全に消費できる最大電力は接合温度の上昇によって制限される。プラスチック封止デバイスの許容最大接合温度は、プラスチックのガラス転移温度によって定まり、約150°Cである。一時的にしる、この限界を超えると、パッケージによってダイに加えられるストレスの変化により、パラメータ特性の変化を引き起こすだろう。長期にわたり接合温度が175°Cを越えると、デバイスは故障に至るだろう。

図 4.108 アナログ・デバイスサイズの耐熱強化 SOIC パッケージ・デバイス AD8017AR の最大消費電力についてのデータシートの記述

4.6 EMI/RFI の考察

James Bryant, Walt Jung, Walt Kester

アナログ回路の性能は、回路に近接する電気活動で発生する高周波信号によって、しばしば悪い影響を受ける。そして、あなたの設計したアナログ回路を内蔵する電子機器も、それ以外のシステムに悪い影響を及ぼすかもしれない。参考文献 1 (の 4 ページに) ローカル回路から来る、またはローカル回路に行く、この不要高周波信号の相互伝送が、IEC50 の定義に従い記述されている。EMC としてよく知られている広義の電磁両立性 (electromagnetic compatibility) に対応するこれらの諸相は、以下のように記述されている。

- ◆ 他のシステムに妨害を与えずに動作する電気・電子装置の能力
- ◆ 定められた電磁環境内で動作することを意図したシステムの能力

それゆえ、完ぺきな EMC を保証するには、設計下の電子装置は、スプリアス信号を発生してはならず、また、帯域外信号 (すなわち、意図する周波数範囲の外側の信号) に強くなければならない。アナログ装置が最も多く餌食になるのは後者の EMC 問題である。本節で強調したいのは、これらのスプリアス信号のエレガントな処理である。

外部の電気活動は、電磁妨害 (EMI) とか無線周波数妨害 (RFI) と呼ばれる雑音を発生するかもしれない。本節では、電磁妨害と無線周波数妨害の両方の点から EMI を考察する。アナログ回路設計者が果敢に挑むべき仕事の一つは、EMI に起因する望ましくない動作から装置を守ることである。この文脈において、EMI そして/または RFI は、ほとんど常に有害である。いったん、それがあなたの装置に侵入するのを許すと、あなたの装置の動作を著しく劣化させるだろう。

本節は、EMI/RFI の侵入に起因する望ましくないアナログ回路動作を最小に抑えることを強く目指している。この種の不良動作はまた、EMI/RFI にさらされたとき変則的な機器動作に向かう傾向を示す EMI 感受性または RFI 感受性としてよく知られている。もちろん、これと相補の EMC 問題、すなわちスプリアス放射に関するものもある。しかし、アナログ信号回路は、一般的にこのようなスプリアス信号をもたらすパルス的な高速・大電流の信号エッジを (例えば、高速論理回路に比べ) ほとんど含まないので、この EMC に関する問題をここでは詳しく取り上げることはしない。けれども、EMC 問題は、とりわけアナログ回路が高速論理回路とともにアナログ・デジタル混載回路の一部を構成するときは重要になることを読者は肝に銘じるべきであろう。

EMC 設計におけるこれらのさまざまなポイントはどれも重要なので、章末の参考文献もあわせて学習されることを強く勧める。実際、EMI, RFI, EMC に関する徹底かつ完ぺきに有効な設計をするために、設計者は、これらの参考文献 (参考文献 1~6) の一つ以上をしっかりと学ぶ必要があるだろう。以下の題材は、この非常に広範囲でしかも日増しに重要性を増しつつあるトピックスについての最良の入門になるだろう。

4.7 低電圧ロジックのインターフェース

Walt Kester, Ethan Bordeaux, Johannes Horvath, Catherine

Redmond, Eva Murphy

ほとんど 20 年間、デジタル回路の標準電源電圧は 5V だった。この電圧レベルが使用された理由は、バイポーラ・トランジスタ回路は、余裕のある適切な動作に 5V を要したからである。しかし、1980 年代後半に相補型 MOSFET (Complimentary Metal Oxide Semiconductor, CMOS) が、デジタル IC 設計の標準になった。このプロセスは、必ずしも TTL 回路のような同じ電圧レベルを必要としなかった。しかし、過去のシステムとの下位互換性を維持するため、業界は 5V TTL 標準ロジックのしきい値を採用した (参考文献 1)。

電源電圧の低減という現在の変革は、安価で、より高速・より小型の製品という要求によって駆り立てられた。この圧力は、シリコンの幾何学サイズ (設計ルール) を 1980 年代初期の $2\mu\text{m}$ から今日の最新マイクロプロセッサや IC の設計に使用される $0.18\mu\text{m}$ へという低下を引き起こした。将来のサイズはさらに小さくなり、最適性能のための電圧もまた 5V 以下に低下するだろう。これは、現在のパソコン用マイクロプロセッサで例証される。最適のコア動作電圧は電圧識別 (VID) 端子を用いて外部からプログラムされる。これは 1.3V まで下げられる。

より低い電圧の DSP に対する強い関心は、5V 製品と 3.3V 製品の販売比率の推移で明瞭に分かる。DSP 市場における 3.3V DSP の販売成長率は、残りの全 DSP の販売成長率より 2 倍以上高い (全 DSP の成長率は 30%。一方、3.3V DSP の成長率は 70%以上)。高い販売量と高い成長率を持つ携帯市場が、低電圧 DSP の全特性を含むシグナル・プロセッサを求めかぎり、この傾向は続くだろう。

低電圧 IC は、低電力動作で、チップ面積をより小さく、そしてより高速にできる。一方で、低電圧 IC は、インターフェースの適合性問題を引き起こす高い電源電圧で動作している IC と、しばしばインターフェースしなければならない。低い動作電圧は低い信号振幅を意味し、それゆえ低スイッチング雑音ではあるが、低電源電圧 IC に対する雑音余裕が小さい。低電圧ロジックに関する重要なポイントを図 4.154 に要約する。

2.5V デバイスの人気は、部分的には、それが 2 個の「単 3 (AA)」アルカリ電池で動作するという能力によって説明できる。さまざまな負荷条件の下での単 3 電池の典型的な放電特性を図 4.155 に示す (参考文献 2)。負荷電流 15mA の場合、ほとんど 100 時間近くまで、電圧は 1.25V (2 個直列で 2.5V) 以上あることに注意されたい。電源電圧 $2.5\text{V} \pm 10\%$ ($2.25\text{V} \sim 2.75\text{V}$) において低電流で効率的に動作できる IC は、携帯機器の設計にとって非常に有用である。

異なる V_{DD} 電源電圧で動作する IC のインターフェースに関する互換性問題を理解するためには、図 4.156 に示すような典型的な CMOS ロジック回路の構造をまず見ることが有益である。

4.8 ブレッドボードと試作

Walt Kester, James Bryant, Walt Jung

ブレッドボードまたは試作の基本原則は、それが電子回路またはシステムの性能をテストするための一時的なもの、ということである。当然、それは修正が容易でなければならない。とりわけ、ブレッドボードに関しては、

多くの試作システムが市販されている。しかしアナログ・エンジニアにとって残念なことに、それらはほとんど全てデジタル・システム用に設計されている。このような環境では、雑音耐量は数百 mV 以上ある。試作の方法には、一般的に非銅張りマトリクス基板、ベクターボード¹、ワイヤ・ラッピング、プラグイン・ブレッドボード・システムも含まれる。これらは、高性能または高周波アナログ回路にまさしく不適當である。それらは、きわめて大きな寄生抵抗、寄生インダクタンス、寄生容量を持っているからである。たとえ標準 IC ソケットでさえ、大部分の試作アプリケーションには

このPDFは、CQ出版社発売の「A-D/D-A変換ICの実用技術」の一部見本です。

内容・購入方法などにつきましては以下のホームページをご覧ください。

内容 <http://shop.cqpub.co.jp/hanbai/books/42/42891.htm>

購入方法 <http://www.cqpub.co.jp/order.htm>

- ◆ ソケットが必要な場合は、“ピン・ソケット”（“Cage Jacks”）を使う
- ◆ 信号の引き回し、部品配置、グラウンド処理、デカップリングに関し、試作と最終基板において同等の注意を払う
- ◆ 一般的な試作技術
 - ICを“裏返して（deadbug）”手作業で配線する
 - “Solder-Mount”（本文参照）
 - CADレイアウトから切削型プリント回路基板を製作する
 - 多層基板：両面基板に2点間のワイヤ配線を加える
- ◆ 小型パッケージの表面実装 IC は特別な技術が必要 — 通常は多層プリント回路基板レイアウトの予備試験が必要

図 4.173 アナログ試作システムの重要なポイントの要約

¹ 訳注：Vector Electronics & Technology 社の商品名。