

第3章

Verilog HDLによる 論理回路設計の基本テクニック

本章では、Verilog HDLで簡単な回路を記述してみることによって、記述の基本を学びます。また、設計した回路を付属FPGAボードに実装して動作させてみます。

3.1 スイッチでLEDを点灯/消灯する

設計する回路は、FPGAに接続されたスイッチの状態に応じて、LEDを点灯・消灯させる回路です。本書に付属するFPGAボード(写真3-1)で動作させます。設計ツールは、米国Xilinx社の「ISE WebPACK」です。ツールの使い方は、第2章を参照してください。

回路を設計する場合、まず入力条件と出力条件をまとめるのが一般的です。今回の回路の入出力条件と動作を表3-1にまとめます。この動作を実現するVerilog HDL記述をリスト3-1に示します。

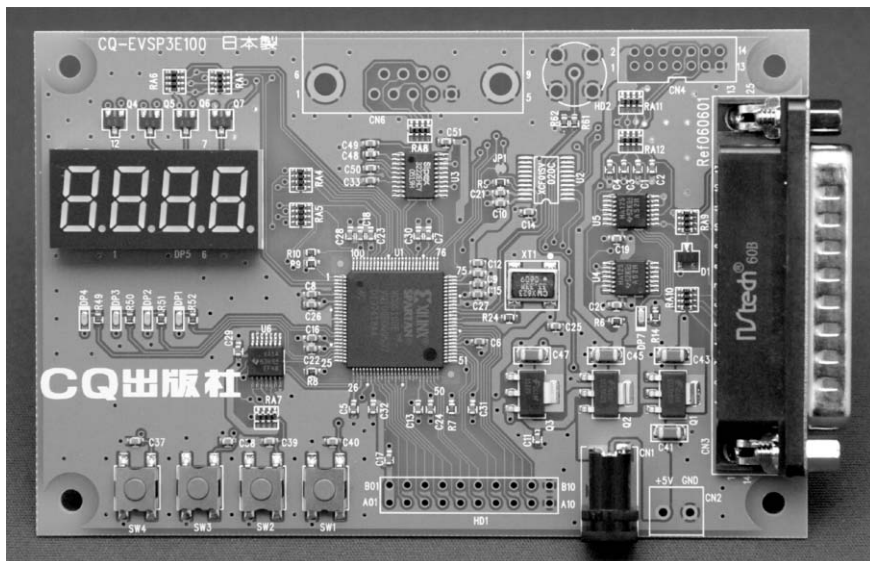


写真3-1 使用するFPGAボード

表3-1 スイッチでLEDを点滅させる回路の動作

スイッチの状態	入力レベル	LED動作	出力レベル
押す	“H”	点灯	L
離す	“L”	消灯	H

```

module モジュール名 ( ポート・リスト ) ;
input 入力信号名 ;
output 出力信号名 ;
inout 双方向信号名 ;

動作記述部

endmodule

```

図3-1 Verilog HDLによる記述の基本

ひとまとまりの機能を「モジュール」として扱う。外部入出力信号を定義するポート宣言部、内部信号を定義するネット/レジスタ宣言部、実際の回路の動作を記述する動作記述部がある。

リスト3-1 スイッチでLEDを点滅させる回路のVerilog HDL記述

```

module led_onoff( // モジュール宣言の開始
    SW1_I , // ポート定義その1
    LED1_O , // ポート定義その2
);

//*****//
// 宣言したポートに信号属性を与える

input SW1_I ; // スイッチ入力
output LED1_O ; // LED出力

//***** 動作記述 *****//
// 動作を記述する

assign LED1_O = !SW1_I ;

endmodule // モジュール宣言の終了を示す

```

● 3.1.1 モジュール宣言

Verilog HDLでは、ひとまとまりの機能を「モジュール」として扱います(図3-1)。モジュールは、`module`で名前を付けて宣言します。`endmodule`は`module`で宣言された機能の終わりを表します。

モジュール宣言では、入出力に使われる信号名のリスト(ポート・リスト)を記述します。リスト3-1では、`SW1_I`と`LED1_O`という二つの信号名があります。

信号名はAでもBでもかまいませんが、機能や用途が想像できるようにすると、ミスのないわかりやすい記述になります。ここでは、`SW1_I`(スイッチ1からの入力)、`LED1_O`(LED1への出力)と命名しています。Verilog HDLの規則では、英字またはアンダ・スコア(`_`)で始まり、英数字、アンダ・スコア、ドル(`$`)による文字列を使うことができます。Verilog HDLでは大文字と小文字を区別するので注意が必要です。

ポート・リストの信号名の区切りには、カンマ(`,`)を使います。最後に宣言した信号名の後にはカンマは不要です。

`module`の最後にはセミコロン(`;`)を付けます。Verilog HDLでは、文の終わりにはセミコロンを付けます。

● 3.1.2 ポート宣言

モジュール宣言では信号名を記述していますが、その信号の方向については指定していません。そこで、`input`(入力)、`output`(出力)、`inout`(双方向)を使って、信号の方向を指定します。

リスト3-1では、`SW1_I`は入力信号、`LED1_O`は出力信号と宣言しています。