

[第2章]

A-Dコンバータ・モジュールの詳細 (ADCsカテゴリ)

2-1 PSoCのA-Dコンバータの特徴

表2-1は、CY8C29466用として用意されているA-Dコンバータ(ADC)を整理したものです。基本形は図2-1の3種類に分類できます。いずれの方式でも、入力電圧範囲は $V_{refLo} \sim V_{refHi}$ となります。例えば、グローバル・リソースの「Ref Max (リファレンス電圧)」が「 $(V_{dd}/2) + / - (V_{dd}/2)$ 」で $V_{dd} = +5V$ ならば $0 \sim 5V$ 、「 $(V_{dd}/2) + / - \text{BandGap}$ (BandGapは約1.3V)」ならば $1.2 \sim 3.8V$ が変換範囲になります。

それでは、各ADCの特徴を整理しましょう。サイプレスから、アプリケーション・ノートAN2239(ADC Selection)としてADCの選択ガイドが提供されているので、そちらも参照してください(付属CD-ROMに収録)。

■ 2-1-1 SAR (Successive Approximation Register) 型

● SAR6：変換時間 $20\mu s$ で最小

逐次比較型のADCです。変換時間は最小で $20\mu s$ と比較的高速ですし、必要とするリソースもSC

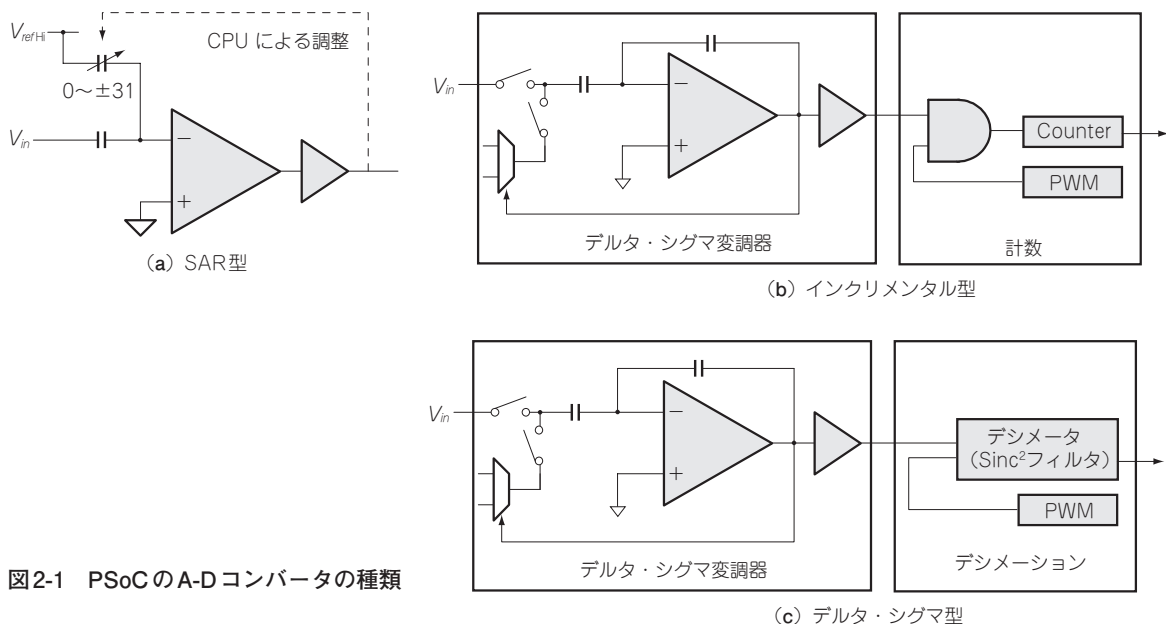


図2-1 PSoCのA-Dコンバータの種類

アンプ・モジュールの詳細 (Amplifiers カテゴリ)

3-1 反転増幅器 AMPINV v4.2

■ 3-1-1 AMPINVの特徴と基本動作

表3-1はAMPINVの主な仕様をまとめたものです。CT (Continuous Time) ブロックの構造は非反転増幅を前提に設計されていますが、非反転増幅のときに基準電圧となるところに信号を入力することにより反転増幅器になることを利用しています。

図3-1はCTブロックをAMPINVとして動作させたときの信号の経路を示したものです。+入力側がAGNDに設定され、抵抗マトリクスの下側から信号入力になっています。レジスタACBxxCR1 [2:0] (PMux [2:0]ビット)を操作すれば、+入力である基準電圧をポート入力などから与えるようにすることもできますが、モジュール・パラメータやAPIではこの変更はサポートされていません。

この回路を整理したのが図3-2です。教科書的な反転増幅回路と言えるでしょう。入力には以下の四つから選択できるようになっています。

- AGND
- V_{ss} (チップのGND端子)
- SCブロック (同じカラムの一つ下のSCブロック)
- CTブロック (隣のCTブロック)

なお、CTブロックを入力としたときには少し注意が必要です。

表3-1 AMPINVの仕様 (電気特性値はいずれも+5V動作時.OPアンプ自体の特性については3-4節も参照)

項目		仕様	
使用ブロック数	アナログ・ブロック	SCブロック	0
		CTブロック	1
	デジタル・ブロック	DBブロック	0
		DCブロック	0
ゲイン	範囲	$\times (-0.067) \sim \times (-47.0)$	
	ゲイン誤差	$\times (-47)$	9.0%
		$\times (-23)$	4.8%
		$\times (-15)$	3.8%
		$\times (-4.33)$	1.1%
		$\times (-1)$	0.3%

D-Aコンバータ・モジュールの詳細 (DACsカテゴリ)

6-1 D-Aコンバータ DAC6 v4.2/DAC8 v2.2/DAC9 v2.2

■6-1-1 DAC6/DAC8/DAC9の特徴と基本動作

DAC6, DAC8, DAC9(以下DAC6/8/9と略す)の仕様概略を表6-1に示します。DAC6/8/9はスイッチト・キャパシタを使った増幅回路を使い、RefHi電圧を増幅(実際にはゲインが1未満なので減衰)して出力しています。

●DAC6の基本動作

図6-1はDAC6の考え方を図にしたものです。この図は考え方を示すものなので、スイッチト・キャパシタのスイッチ部分は省略しています。スイッチト・キャパシタによる増幅回路では、ゲインはACap/FCapになります。FCapは32と64が選択できますが、DACでは32で使用します。ACapは0～31まで可変できるので、ゲインは $1/32 \sim 31/32$ になります。

さらにスイッチト・キャパシタでは、スイッチのタイミング変更で極性も切り替えることができるので、これを併用すれば、 $-31/32 \sim +31/32$ の間を変化させることができます。これで31段階を示す5ビットと1ビットで6ビットのDACになるわけです。DAC内部で与えられた設定値をこのような符号+絶対値

表6-1 DAC6/DAC8/DAC9の仕様

項目		仕様	備考	
使用ブロック数	DAC6	1SCブロック		
	DAC8	2SCブロック	上位側SCC/下位側:SCD	
	DAC9	2SCブロック	上位側SCC/下位側:SCD	
データ・ビット長	DAC6	6	-31 ~ +31/0 ~ 62	
	DAC8	8	-127 ~ +127/0 ~ 254	
	DAC9	9	-255 ~ +255/0 ~ 510	
カラム・クロック	DAC6	HIGHPOWER	128kHz ~ 3.2MHz	+5V動作時
		MEDPOWER	128kHz ~ 2MHz	+5V動作時
		LOWPOWER	128kHz ~ 0.5MHz	+5V動作時
	DAC8	HIGHPOWER	4kHz ~ 3.2MHz	+5V動作時
		MEDPOWER	4kHz ~ 2MHz	+5V動作時
		LOWPOWER	8kHz ~ 500kHz	+5V動作時
	DAC9	HIGHPOWER	4kHz ~ 3.2MHz	+5V動作時
		MEDPOWER	4kHz ~ 2MHz	+5V動作時
		LOWPOWER	8kHz ~ 500kHz	+5V動作時

フィルタ・モジュールの詳細 (Filters カテゴリ)

8-1 2ポール・バンド・パス・フィルタ BPF2 v5.3

■ 8-1-1 BPF2の特徴とモジュールの種類

BPF2は、特定の周波数帯域(バンド)を通過させるバンド・パス・フィルタ(以下、BPFと略す)です。表8-1にBPF2の主な仕様を、図8-1に内部構造を示します。フィルタの特性を示す伝達関数が2次式で表されるためBPF2と表記されていますが、もともとBPFには1次はないので、2次のBPFは基本形です。

BPF2は、SC(Switched Capacitor)ブロックを利用しているので、スイッチト・キャパシタ・フィルタの一種です。スイッチト・キャパシタ・フィルタの実体は、OPアンプを使ったアクティブ・フィルタの抵抗部分をコンデンサとアナログ・スイッチに置き換えたものです。

スイッチト・キャパシタはコンデンサに繋がったスイッチの切り替えによって抵抗を実現することもできるため、アクティブ・フィルタを構成できるほか、スイッチの切り替えタイミングを変更するだけで、加減算や極性の反転、微積分などさまざまな演算処理が行えるというのも大きな利点です。

● モジュールの種類

BPF2を選択すると次の4種類から一つを選ぶようにメニューが出てきます。

- BPF2VA
- BPF2V

表8-1 BPF2の仕様(仕様はいずれも+5V動作時)

項目		仕様	
使用ブロック数	アナログ・ブロック	SCブロック	2
		CTブロック	0
	デジタル・ブロック	DBブロック	0
		DCブロック	0
DC特性	DCオフセット電圧		28mV
	消費電流(Bias=Low)	LowPower	290 μ A
		MidPower	1095 μ A
		HighPower	4200 μ A
誤差	中心周波数ゲイン誤差		0.25dB
	コーナ周波数誤差		0.85%
	減衰率誤差		1.05%
最大カラム・クロック周波数	LowPower	0.9MHz	
	MidPower	4MHz	
	HighPower	6MHz	
ノイズ		615nV/ $\sqrt{\text{Hz}}$	

汎用モジュールの詳細 (Generic カテゴリ)

9-1 スイッチト・キャパシタ・ブロック SCBLOCK v2.4

■ 9-1-1 SCBLOCK の特徴

SCBLOCKの主な仕様を表9-1に示します。SCBLOCKは、アナログ・ブロックのSC (Switched Capacitor) ブロックを直接設定して動作させるというものです。SCブロックはADCやDAC、BPF、LPFなど、様々なユーザ・モジュールで使用されていますが、実は個別にコントロールしてやることで、アナログ積分や半波整流/全波整流、アナログ加減算などいろいろなことができるようになっています。

動作の詳細は割愛しますが、興味のある読者はサイプレスのアプリケーション・ノート AN2041 (Analog - Understanding Switched Capacitor Analog Blocks : 日本語翻訳版のAN2041Jもある) や AN2044 (Analog - Signal Rectification using Switched Capacitor Modulators) などを一読されるとよいと思います (付属CD-ROMに収録済み)。

PSoCのSCブロックは、CY8C26443などに使われていたタイプA、タイプBと、CY8C27443やCY8C29466などに使われている機能拡張版のタイプC、タイプDがあります。29466で使われているタイプCとタイプDのSCブロックの構造は、本書のイントロダクションの図5と図6のようになっています。

スイッチト・キャパシタの動作は、コンデンサ容量の絶対値ではなく各コンデンサ容量の比率が重要です。このためSCBLOCKでもコンデンサの最小単位を1として、倍率で容量の設定などを行うようになっています。絶対値は表にも示したとおり、おおむね7fF程度ということですが、これを気にする必要はありません。以下では仮にこのコンデンサの1単位を1Cと表すことにします。

表9-1 SCBLOCKの仕様

項目		仕様	備考
使用ブロック数	アナログ・ブロック	SCブロック	1
		CTブロック	0
	デジタル・ブロック	DBブロック	0
		DCブロック	0
最大入力クロック周波数		8MHz	SCブロック内部動作は1/4の2MHzになる
キャパシタ単位容量 (参考値)		7fF _{typ}	1fF=10 ⁻¹⁵ F (=0.001pF)
消費電流 (温度:-40℃~+85℃, V _{dd} =5.0V±10%) : 参考値	Power=Low	OpAmp Bias=Low	0.15mA (0.2mA _{max})
	Power=Med	OpAmp Bias=High	1.2mA (1.6mA _{max})
	Power=High	OpAmp Bias=High	4.6mA (6.4mA _{max})

プロトコル・モジュールの詳細 (Protocols カテゴリ)

12-1 I²C ブート・ローダ BootLdrI2C v1.1

■ 12-1-1 BootLdrI2C の特徴

BootLdrI2Cの主な仕様を表12-1に示します。BootLdrI2Cは、I²Cバス経由でPSoCに書き込んだプログラム（ファームウェア）の更新を行えるようにするものです。購入直後のブランク状態のPSoCに書き込みを行うプログラマではありません。

装置の不具合対策や機能向上、仕様変更などのために既に組み込まれているファームウェアを更新しなくてはならない場合、専用のプログラマが必要というのではやっかいです。PSoCの書き込みアルゴリズムは公開されてはいますが、より簡便な方法として用意されているのがBootLdrI2Cです。I²Cバスには「バス・アドレス」という考え方があるので、例えば、一つのI²Cバスに複数のPSoCを接続できるなど、通常のISSPよりも便利な面もあります。

BootLdrI2CではPSoC内部のハードウェアI²Cコントローラを使用しますが、ブート・ローダ専用にする

表12-1 BootLdrI2Cの主な仕様

項目		仕様	
使用ブロック数	デジタル・ブロック	0	
	アナログ・ブロック	0	
	I ² Cコントローラ	1	
ファームウェア・サポート	ブート・ローダ機能	メモリ・レイアウト	ブート・ブロック、ユーザ・アプリケーション・ブロックを分離
		ブート機能	リセット後/通常稼働状態からブート・モードに遷移可
		書き換え単位	64バイト (ROMの1ブロック単位)
		ダウンロード単位	16バイト
	I ² Cインターフェース	ブート・ローダ・キー (マジック・ナンバ)	8バイト (デフォルトでは0001020304050607H)
		ビット・レート	50kbps/100kbps/400kbps 対応
		I ² Cバス・アドレス	ダウンロード用アドレス/ユーザ・アプリケーション用アドレスを個別指定
		I ² Cモード	ブート・ローダ専用モード/I2CHWフル・サポートともあり
	書き換え時間	1ブロック (64バイト) ごとに100ms以上	
使用I/Oポート	データ伝送用	P1 [0]/P1 [1], または P1 [5]/P1 [7] (SDA/SCL)	
ホスト・サポート	ホスト・アプリケーション	VB2005 (VisualStudio2005) によるサンプル・ダウンロード (ソース・コードあり)	
	シリアル-I ² Cブリッジ	PSoC使用のブリッジ・ファームウェア (ソース・コードあり)	