

割り込み動作

このPDFは、CQ出版社発売の「ARM Cortex-M3システム開発ガイド」の一部の見本です。
内容・購入方法などにつきましては以下のホームページをご覧ください。
<<http://shop.cqpub.co.jp/hanbai/books/36/36491.htm>>

この章では以下の項目を紹介します。

- ▶ 割り込み/例外シーケンス
- ▶ 例外復帰
- ▶ ネストした割り込み
- ▶ テール・チェーン割り込み
- ▶ 後着
- ▶ 例外の戻り値の詳しい情報
- ▶ 割り込みレイテンシ
- ▶ 割り込みに関連したフォールト

9.1 割り込み/例外シーケンス

例外が発生すると、いくつかのことが起きます。

- ▶ スタッキング (八つのレジスタの内容をスタックにプッシュ)
- ▶ ベクタ・フェッチ (ベクタ・テーブルから例外ハンドラ開始アドレスを読み出す)
- ▶ スタック・ポインタ、リンク・レジスタおよびプログラム・カウンタの更新

9.1.1 スタッキング

例外が起こると、PC、PSR、R0～R3、R12およびLRレジスタが、スタックに保存されます。実行しているコードがPSPを使用する場合、プロセス・スタックが使用されます。実行しているコードがMSPを使用する場合、メイン・スタックが使用されます。のちに、ハンドラ中では常にMSPが使用されるので、ネストした割り込みはすべてメイン・スタックを使用します。

スタッキングの順序を図9.1に示します (例外の前のSP値がNであると仮定)。AHBインターフェースのパイプライン特性により、アドレスとデータは1パイプライン・ステージ分オフセットされています。



図9.1 スタッキング・シーケンス

スタックに保存されているデータの8個のワード・ブロックは、一般的に例外スタック・フレームと呼ばれています。Cortex-M3リビジョン2以前は、スタック・フレームはデフォルトによりどのワード・アドレスでも起動することが可能です。Cortex-M3リビジョン2では、スタック・フレームはデフォルトでダブル・ワード・アドレスへ配置されます。このスタック・フレームの配置はAAPCS (Procedure Call Standard for the ARM architecture) に必須のものです。この機能は、Cortex-M3リビジョン1で利用可能ですが、デフォルトで許可されていませんでした。リビジョン1でこれを使用するには、NVIC構成制御レジスタにあるSTKALIGNビットを、ソフトウェアを用いてセットする必要があります。この機能は、STKALIGNビットをクリアすることで必要に応じて無効にできます。このレジスタに関する詳細は、第12章の「ダブル・ワード・スタック・アライメント」で紹介します。

最初にPCとPSRの値がスタックされるので、(PCの変更が可能となり) 命令フェッチを早期に開始でき、IPSRも早期に更新できます。スタッキング後にSPがN-32 (SPがダブル・ワード・アラインで

表9.1 スタッキング後のスタック・メモリ内容とスタック順序

アドレス	データ	プッシュ・オーダー
古い SP (N) ->	(すでにプッシュされたデータ)	-
(N-4)	PSR (ビット9の値は0)	2
(N-8)	PC	1
(N-12)	LR	8
(N-16)	R12	7
(N-20)	R3	6
(N-24)	R2	5
(N-28)	R1	4
新しいSP (N-32)	R0	3

(a) SPがダブル・ワード・アドレスへアラインされた、またはダブル・ワード・スタック・アライメントの機能がOFFになった際における、スタッキング後のスタック・メモリ内容とスタック順序

アドレス	データ	プッシュ・オーダー
古い SP (N) ->	(すでにプッシュされたデータ)	-
(N-4)	使用しない	-
(N-8)	PSR (ビット9の値は1)	2
(N-12)	PC	1
(N-16)	LR	8
(N-20)	R12	7
(N-24)	R3	6
(N-28)	R2	5
(N-32)	R1	4
新しいSP (N-36)	R0	3

(b) SPがダブル・ワード・アドレスへ配置されてなく、またダブル・ワード・スタック・アライメントの機能がONになっている際における、スタッキング後のスタック・メモリ内容とスタック順序