

第 1 章

PLL の動作と回路構成

PLL とシンセサイザ技術のあらまし

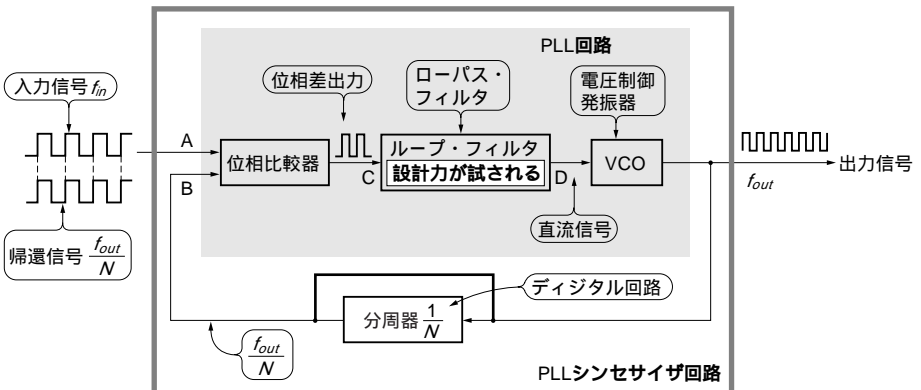
この章では、PLLの基本構成と各部の動作のあらましについて解説したあと、PLLのノイズと信号純度、およびシンセサイザ以外への応用例などについて概観していきます。

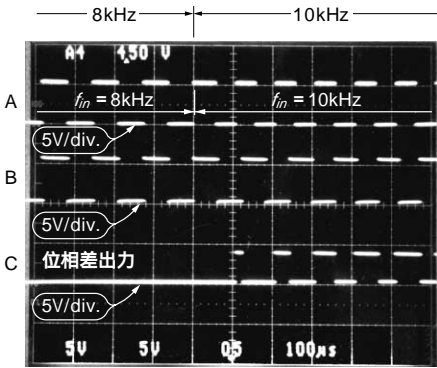
1.1 PLL回路の基本動作

PLL回路を構成する三つのブロック

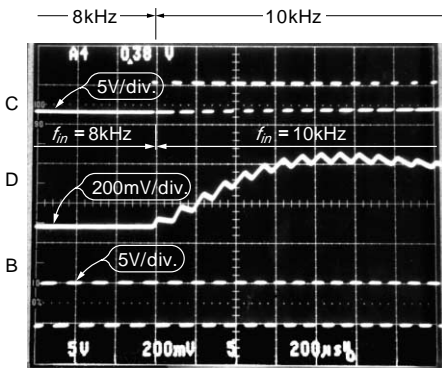
Phase Locked Loop...位相同期回路...PLL回路は簡単に言うと、入力信号の位相に同期した新たな信号を生成するための回路です。図1-1がPLL回路の基本ブロック図で、写真1-1が実際のPLL回路における動作波形の一例です。PLL回路の基本構成は下記の三つのブロックから構成されます。

図1-1 PLL回路/シンセサイザの構成

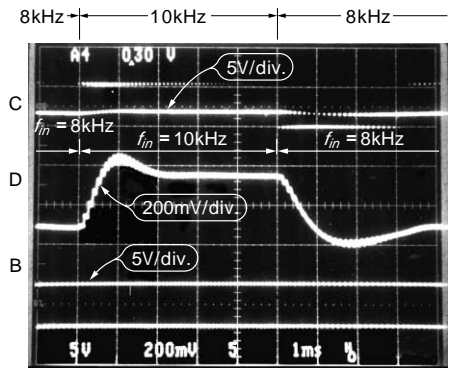




(a) 位相比較器の入出力波形



(b) ループ・フィルタとVCO



(c) (b)の時間軸を拡大

写真1-1 PLL回路の信号波形 (A～Dは図1.1を参照)

▶ 位相比較器 (Phase Detector または Phase Comparator)

位相比較器は二つの入力信号の位相差を検出します。写真1-1(a)はPLL回路におけるデジタル方式による位相比較器の動作波形を示したもので、二つの信号(A, B)の立ち上がりの差を検出しています。位相比較器には他にアナログ方式のものもあります。

▶ ループ・フィルタ (Loop Filter)

位相比較器からのリップルを含んだ直流信号を平均化し、交流成分の少ないきれいな直流信号に変換するためのローパス・フィルタです。ループ・フィルタにはこのリップルを取り除く機能のほかに、PLLのループ制御を安定に行うための伝達特性を決定するという大

事な役目があります。安定なPLL回路のためのループ・フィルタの設計法は本書の主題でもあります。

▶ VCO(Voltage Controlled Oscillator)

入力の直流信号によって発振周波数が制御できる，可変周波数発振器です。

PLLの応用と周波数シンセサイザ

図1-1では，入力信号とVCOの出力信号あるいは分周器を経た信号の位相が比較され，この二つが同位相になるように制御されます。二つの入力信号が同位相，したがって周波数も当然，同一に制御されることになり，VCO出力は入力周波数に追従した発振周波数になります。

このときのVCOの周波数変化はループ・フィルタの時定数によって決定されます。時定数が長ければ(遮断周波数が低いと)ゆっくりと，短ければ(遮断周波数が高いと)すばやくVCOの発振周波数が入力信号に追従し，同期します。

図1-1において追従速度を適度に設計すれば，受信した信号あるいは電波に同期した信号がVCOから得られます。たとえば受信電波に雑音がときどき重畳しても，VCOは即座に追従しないので雑音に影響されず，VCOは受信信号の平均周波数に安定に同期して発振を続けることになります。

また，図1-1のブロックにおいてVCO出力と位相比較器入力の間周波数分周器(ディバイダと呼ばれる)を挿入すれば，入力周波数とVCO出力周波数を分周した周波数が同期します。つまり，VCOの発振周波数は入力信号を分周数倍した周波数に制御されることになります。

したがって，PLLの入力信号に水晶発振器などで発生した安定した周波数を加えて分周器の分周数を切り替えるようにすれば，VCOの出力からは入力周波数と同じ確度で分周数倍された信号が得られます。これがPLL方式による周波数シンセサイザの原理です。

PLL回路の各部の動作波形

写真1-1は実際のPLL回路における動作波形を測定したもので，入力信号周波数を8 kHzと10 kHzに交互に切り替えたときの各部の波形を示しています(分周器なしの場合)。

写真(a)が位相比較器の入出力波形です。入力信号Aが8 kHzから10 kHzに急変したとき，VCOの出力Bははじめは8 kHzのままです。したがって，Aの立ち上がりからBの立

ち上がりの差分だけ位相比較器の出力が“H”レベルに変化します。立ち上がりが同時の場合は出力パルスは出ません。

写真(b)はループ・フィルタの入出力とVCOの出力波形です。位相比較器から“H”レベルの信号が出力されるとループ・フィルタの出力電圧はゆっくりと上昇していき、VCOの出力周波数もそれに比例して高くなっていきます。

写真(c)は、写真(b)の時間軸スケールを5倍(200 $\mu\text{s}/\text{div.}$ から1 $\text{ms}/\text{div.}$)に変更したものです。入力周波数が急変すると位相比較器から位相差に従ったパルスが出力され、ループ・フィルタの出力がゆっくりと変化します。そしてVCOの発振周波数が入力周波数と同じになるように、ループ・フィルタの出力電圧が一定値に収束していくようすが観測されています。

このようにPLL回路は、デジタル信号とアナログ信号が混在し、入力周波数に出力周波数が同期する自動制御回路であると言えます。

なお、実際の位相比較器の方式にはいろいろな種類があります。実験で使用した位相比較器は、二つの入力信号の立ち上がりで位相を比較するデジタル・タイプです。

1.2 PLL回路および周波数シンセサイザの構成

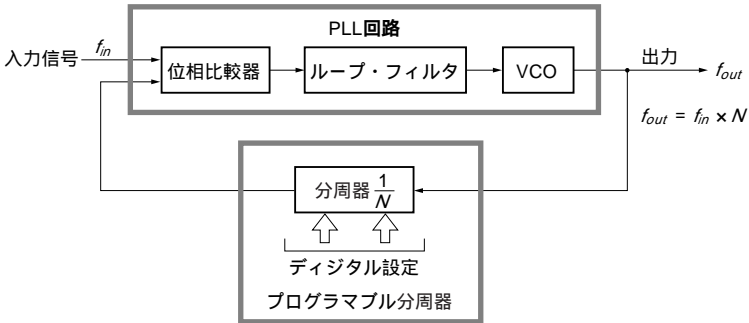
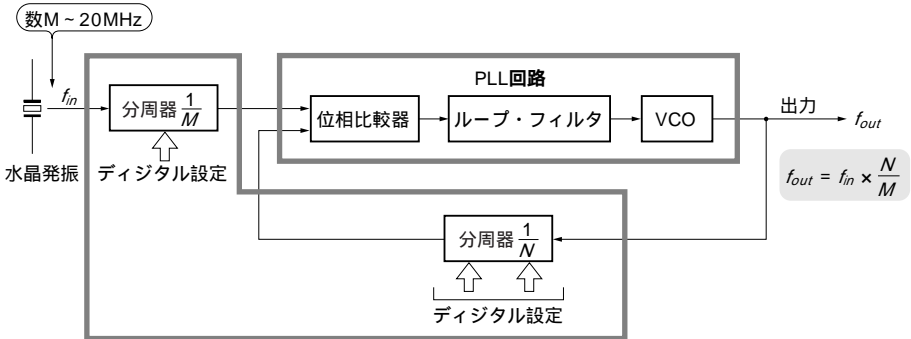
PLL回路は産業用/民生用を問わず幅広い分野で使用されており、PLLの応用分野すべてにわたって記述することは筆者の経験をはるかに越える領域です。以下に紹介する応用以外については、章末の参考文献などを参考にしてください。本書では、代表的な応用分野である周波数シンセサイザなどに用いられるPLL回路の構成方法について紹介します。

入力周波数の N 倍出力を得る方法

PLL回路は入力波形とVCOの発振波形の位相を比較し、VCOの発振周波数を入力周波数に同期させるものです。したがって図1-2に示すように、VCOの出力を分周してから入力波形と位相比較すると、入力周波数と分周後の周波数が同一周波数、すなわちVCOの発振周波数が入力周波数の分周数倍された周波数に同期します。この分周数を外部から任意の整数値に設定できる機能をもった分周器をプログラマブル分周器(Programmable Divider)と呼んでいます。

入力周波数の $N \div M$ 倍出力を得る方法...入力に分周回路を入れる

図1-2に示した構成のPLL回路では、出力の周波数設定分解能が位相比較周波数に等し

図 1-2 N 倍の出力周波数を得る図 1-3 $N \div M$ 倍の出力周波数を得る

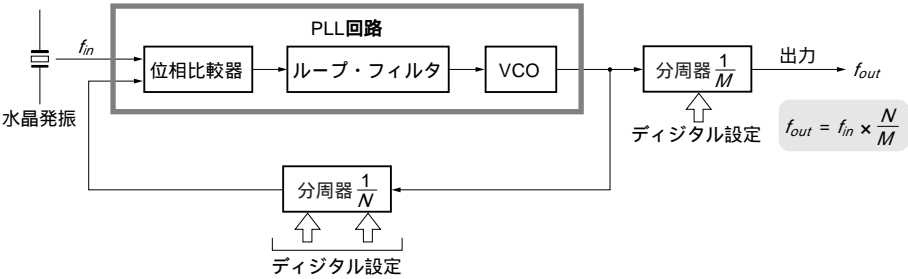
くなります。したがって PLL 回路の出力周波数精度は、入力信号の周波数精度によって決定されます。そのため、周波数シンセサイザなどでは一般に水晶発振器から入力信号を生成します。しかし、水晶発振器が安価で安定に発振する周波数範囲は数 MHz ~ 数十 MHz 程度です。

このため、細かな設定分解能が欲しいときは図 1-3 に示すように、数 MHz で発振した周波数を必要な設定分解能周波数 (1 kHz や 10 kHz など) まで分周してから PLL 回路を構成します。

入力周波数の $N \div M$ 倍出力を得る方法...出力に分周回路を入れる

図 1-2 に示した構成の PLL 回路でシンセサイザの出力周波数範囲を広げるには、分周数を広範囲にして、VCO の発振周波数もそれにしたがって広範囲に可変できるようにした

図1-4 $N \div M$ 倍の出力周波数を得る(方形波)



くではありません。しかし第2章で説明しますが、分周数の範囲が広がるとPLL回路としての伝達関数がそれにしたがって変化し、VCOから高純度の信号を得ることが困難になります。

また、可変できるVCOの発振周波数範囲にも限度があります。一般に発振周波数範囲が広がると、それにつれてVCO出力信号の純度も低下します。

出力波形が方形波の場合には、図1-4に示すようにVCO出力に分周器を挿入して出力周波数範囲を拡大することができます。たとえば、VCOの発振周波数範囲が1 MHz ~ 10 MHzであっても、出力分周器の分周数 M を10, 100, 1000, ...と設定していけば、どんな低い周波数でも得ることができます。

入力周波数の $N \times M$ 倍出力を得る方法...プリスケラを追加する

PLL回路の出力周波数を切り替えてデジタル的に変化させるためにはプログラマブル分周器を使用しますが、分周数が自由に設定できるようにするには分周器内部の構成は複雑になり、高速応答も難しくなります。汎用のプログラマブル分周器の上限周波数は10 MHz程度になっています。

分周数を固定にし、動作周波数をGHzにまで拡大したのがプリスケラと呼ばれるものです。これは図1-5に示すように、VCOとプログラマブル分周器の間にプリスケラと呼ばれる $1/M$ の分周器を挿入する方法で、GHzオーダのシンセサイザも可能になります。ただし、この方法はプリスケラの分周数だけ設定分解能が犠牲になります。この犠牲を解決するのがパルス・スワロウ方式と呼ばれるものです。詳しくは後の章で説明します。

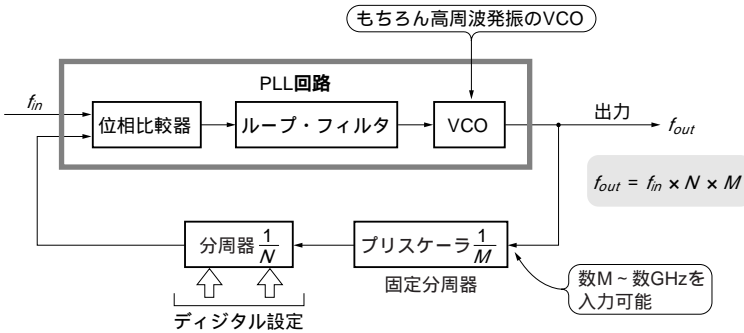
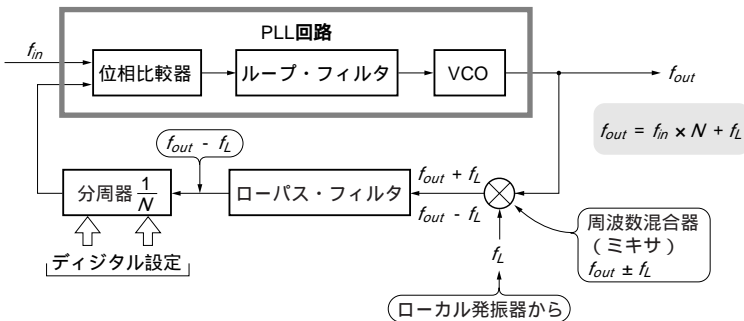
図1-5 $N \times M$ 倍の出力周波数を得る

図1-6 PLL回路とヘテロダインの組み合わせ



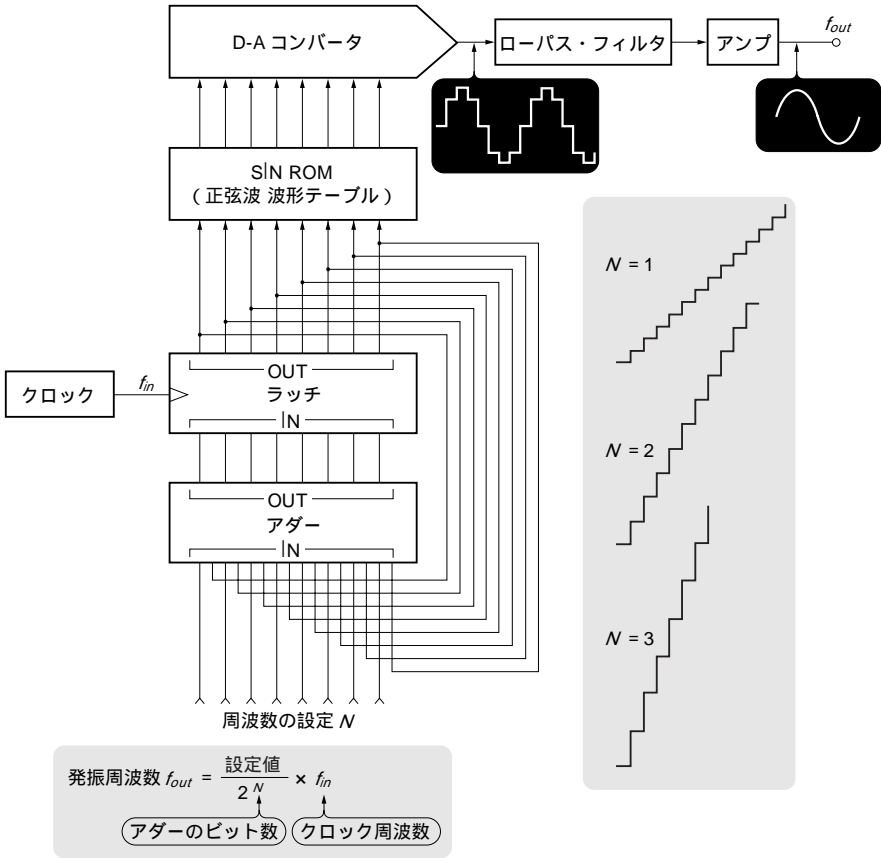
ヘテロダインと組み合わせる... $(f_{in} \times N) + f_L$ を得る

後述のコラムで図1-Bに紹介しているヘテロダイン方式は、内部発振器を用いて周波数を自由に変換することができるものです。このヘテロダインをPLL回路に応用したのが図1-6に示す構成です。

VCOの出力周波数を内部発振器の発振周波数によって低い周波数($f_{out} - f_L$)に変換してから、プログラマブル分周器で分周することができます。こうするとプリスケラ方式のように設定分解能が犠牲にならずループ利得も低下しないので、より高純度の出力信号を得ることができます。

ただし、出力周波数範囲を広げるには内部発振器の発振周波数(f_L)を可変しなければなりません。

図1-7 DDSによる正弦波の発生

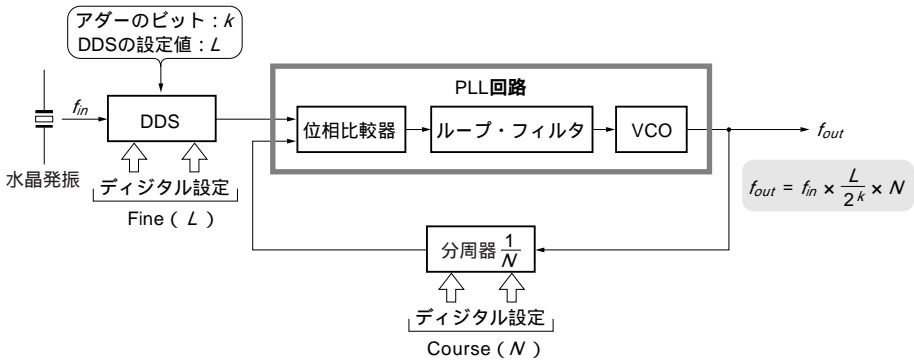


DDS (Direct Digital Synthesizer)と組み合わせる

PLL回路で設定分解能を上げようとすると分周数が大きくなり、位相比較周波数が低くなります。このため設定値を変更したときのPLLの応答が遅くなります。また、設定分解能が増えるにつれてループ利得が下がり、出力波形の純度が劣化します(理由は後述する)。

ダイレクト・デジタル・シンセサイザ(DDS)は、LSI技術の進歩によって実用されるようになった信号発生器の方式です。DDSは図1-7に示すように、加算器とラッチで累積加算器(アキュムレータ)を構成し、クロックが来るたびに設定値を累積していきます。す

図1-8 PLLとDDSを組み合わせる



ると、常に設定値に比例した速度のデジタル・データが得られ、このデータをあらかじめ正弦波データが書き込まれたROM(読み出し専用メモリ)のアドレスとして加えます。こうするとROMからは正弦波データが読み出されます。これをD・Aコンバータでアナログ波形に変換し、ローパス・フィルタでクロック成分を除去すると、純度の良い正弦波信号が得られるというものです。

DDSの設定分解能はアキュレータの桁数によって決定されます。桁数の多い加算器をLSIに組み込むことにより、数MHzの発振周波数であっても1Hz程度の分解能が実現できます。

ただし、DDSでは基準クロックの1/10程度の周波数までは比較のスプリアスの少ない波形が得られますが、周波数をそれ以上高く設定するとスプリアスが目立つようになります。つまり、DDSは低い周波数で高純度/高設定分解能が得られる優れた方式といえます。

図1-8に示すように、このDDSから得られた信号をPLLの入力信号として使用するとPLLの位相比較周波数が高くなり、しかもDDSで周波数を設定することにより高設定分解能が可能なシンセサイザが実現できます。

1.3 PLLシンセサイザでは信号純度がポイント

理想シンセサイザ出力は1本のスペクトル

PLL回路を応用してシンセサイザなどを製作するとき、得られる出力波形のきれいさ...信号純度は重要な課題です。

純粋な信号とは、原理的には図1-9に示すように単一周波数からなります。スペクトラ