

## 第8章

# ISE WebPACK 活用チュートリアル

池澤陽一

ここでは、米国Xilinx社のFPGA/PLD開発ツール「ISE WebPACK 10.1i」の使い方を解説する。XC3S250E向けの簡単な回路を設計し、FPGAを動作させる。実際に行う手順を具体的に示すので、同じように操作すればFPGA設計を体験できる(本書付属DVD-ROMから開発ツールをインストールする手順については、第8章 APPENDIXを参照)。(編集部)

ここでは、ISE WebPACK 10.1を使用して、プロジェクト作成からFPGAへダウンロードする手順を説明します。ISEはXilinx社のFPGA/PLD開発ツールです。もともとはIntegrated Software Environmentの略称であり、統合設計環境を意味しています。設計入力、論理合成、配置配線、タイミング解析、FPGAへの回路データのダウンロードなど、FPGA開発の一連の作業を行うことができます。

ISE WebPACK 10.1は、本書付属DVD-ROMに収録しています。定期的にバージョンアップされていますが、最近では基本的な操作方法はほとんど変わっていないので、今後のバージョンでもある程度対応できると思います。

### 1 FPGA基板とサンプル回路の準備

サンプル回路は、LEDを点滅させる回路とします。回路の構成を図1に示します。

回路は、top(リスト1)を最上位ブロックとして、三つの機能ブロックで構成しています。

smallcntrブロック(リスト2)の4ビット・カウンタの値に従って、decodeブロック(リスト3)で生成したパターンを出力し、LEDを点滅させます。

使用するFPGA基板には、33MHzのクロック発振器が実装されているものとします。このクロックをそのまま使用すると、LEDの点滅動作を目で見ることができません。そこでtimブロック(リスト4)では、周期の長いイネーブル信号を作っています。smallcntrは、このイネーブル信号が“H”の時のみカウントアップするように動作します。

このPDFは、CQ出版社発売の「FPGA/PLD設計スタートアップ2009/2010」の一部分の見本です。内容・購入方法などにつきましては以下のホームページをご覧ください。

<http://shop.cqpub.co.jp/hanbai/books/MDD/MDDZ200905.html>

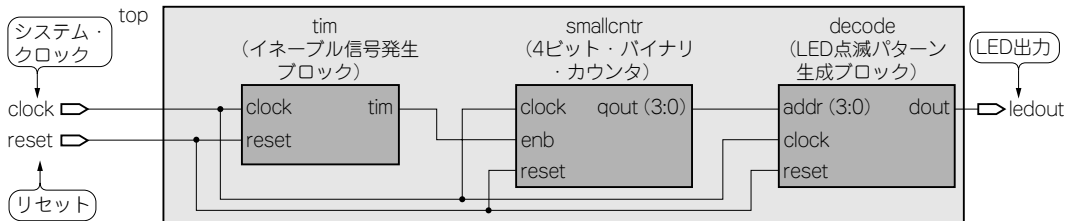


図1 サンプル回路のブロック図

最上位ブロックとして、三つの機能ブロックで構成されている。

リスト1 最上位ブロックtopのVHDLソース・コード (top.vhd)

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity top is
    port (clock : in std_logic;
          reset : in std_logic;
          ledout : out std_logic);
end top;

architecture arc_top of top is

    signal cntout : std_logic_vector
        ( 3 downto 0);
    signal enable : std_logic;

    component tim
    port (clock : in std_logic;
          reset : in std_logic;
          tim : out std_logic);
    end component;

    component smallctr
    port (clock : in std_logic;
          reset : in std_logic;
          enb : in std_logic;
          qout : out std_logic_vector
              ( 3 downto 0));
    end component;

    component decode
    port (addr: in std_logic_vector
          ( 3 downto 0);
          clock: in std_logic;
          reset: in std_logic;
          dout: out std_logic);
    end component;

begin

    u1: tim port map(
        clock => clock,
        reset => reset,
        tim => enable);

    u2: smallctr port map(
        clock => clock,
        reset => reset,
        enb => enable,
        qout => cntout);

    u3 : decode port map (
        addr => cntout,
        clock => clock,
        reset => reset,
        dout => ledout);

end arc_top;
    
```

リスト2 smallctr ブロックのVHDLソース・コード (smallctr.vhd)

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity smallctr is
    port (clock : in std_logic;
          reset : in std_logic;
          enb : in std_logic;
          qout : out std_logic_vector
              ( 3 downto 0));
end smallctr;

architecture arc_cnt of smallctr is

    signal temp : std_logic_vector
        ( 3 downto 0);

begin

    process (clock,reset)
    begin
        if reset='0' then
            temp <= "0000";
        elsif clock'event and
            clock='1' then
            if enb = '1' then
                temp <= temp + 1;
            else
                temp <= temp;
            end if;
        end if;
    end process;

    qout <= temp;

end arc_cnt;
    
```