

## 第3章

MAX 3000A/MAX II  
ファミリの概要

富田幹貴

ここでは、米国Altera社のCPLD「MAX 3000A」と「MAX II」の機能について解説する。MAX 3000とMAX IIは、CPLD製品と呼ばれているが、内部構造が大きく異なる。 (編集部)

## 1 MAX 3000Aファミリの概要

米国Altera社のCPLDファミリである、MAX 3000ファミリの概要を表1に示します。

## ● MAX 3000Aファミリの基本アーキテクチャ

MAX 3000Aファミリの基本ブロック図を図1に示します。

16個のマクロセルが一つのブロックとしてまとめられています。このブロックをロジック・アレイ・ブロック (LAB: Logic Array Block) と呼びます。また、LABを複数搭載し、LAB間を接続する配線領域があります。この配線領域をプログラマブル・インターコネクト・アレイ (PIA: Programmable Interconnect Array) と呼びます。

一つのLABには、16個のマクロセルがあるので、LABが2個あるとマクロセル数は32個となり、デバイスの型名もEPM3032というようになります。

MAX 3000Aファミリには、4本のグローバル配線が用意されています。そのうちの2本 (GCLK1とGCLK2) は、すべてのマクロセル内にあるフリップフロップにクロック信号を供給する配線となります。

表1  
MAX 3000A  
ファミリの概要

型名	EPM3032A	EPM3064A	EPM3128A	EPM3256A	EPM3512A
使用可能ゲート数	600	1,250	2,500	5,000	10,000
マクロセル数	32	64	128	256	512
ロジック・アレイ・ブロック数	2	4	8	16	32
最大ユーザI/Oピン数	34	66	96	158	208

このPDFは、CQ出版社発売の「FPGA/PLD設計スタートアップ2009/2010」の一部分の見本です。内容・購入方法などにつきましては以下のホームページをご覧ください。  
<<http://shop.cqpub.co.jp/hanbai/books/MDD/MDDZ200905.html>>

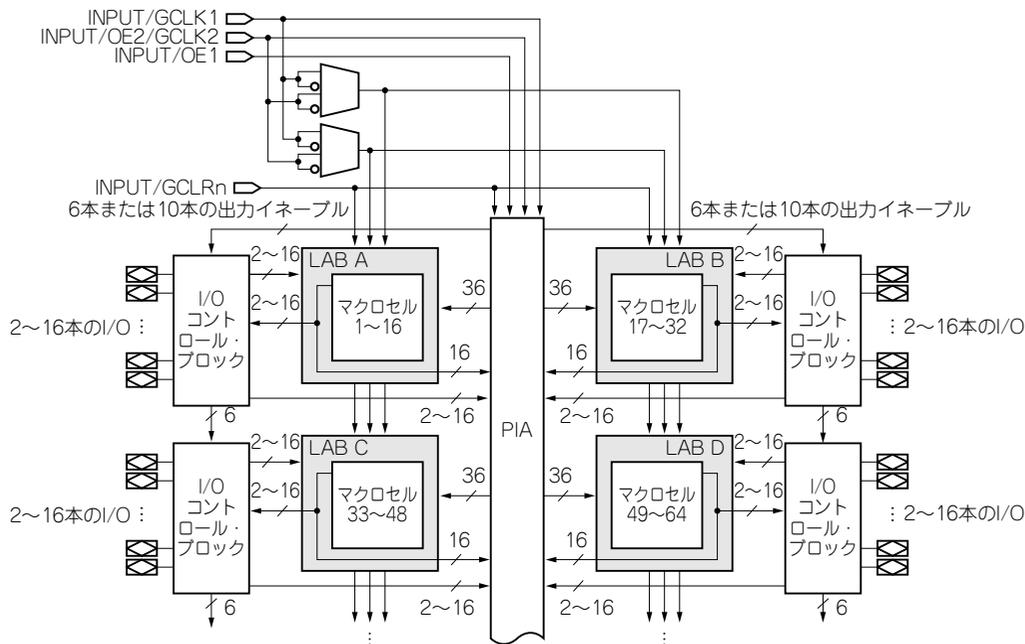


図1 MAX 3000A ファミリの基本ブロック図  
16個のマクロセルが一つのブロックとしてまとめられている (LAB)。LAB 間を接続する配線領域が用意されている。

従って、グローバル・クロックとして利用するのが望ましいといえます。また、残りの2本のグローバル配線は、アウトプット・イネーブルと、すべてのマクロセル内にあるフリップフロップのリセット信号として使用できるようになっています。

### ● マクロセル

MAX 3000A ファミリのマクロセルの構成では、PIA からの入力→プロダクト・ターム (いわゆる AND-OR の積和演算)→フリップフロップ→I/O コントロール・ブロックという信号の流れになります。一般的に CPLD に回路を実装する際には、このマクロセル内のプロダクト・タームをいかに効率良く利用するかが重要になります。

図2に MAX 3000A ファミリのマクロセルを示します。基本構成では5積項、つまり5個までの OR であれば一つのマクロセルで構成できます。しかし多ビットのデコードや複雑なステート・マシンの設計では、5積項では足りないケースがあります。その際に、パラレル・ロジック・エキスパンダやシェアード・ロジック・エキスパンダを用いて5積項以上の設計に対応する仕組みになっています。

ユーザはこれらのエキスパンダを意識して設計する必要はありません。PLD 開発用ソフトウェアが判断し最適化してくれます。