

第2章

CMOSの構造

2-1 CMOSの構造

CMOSはComplementary Metal Oxide Semiconductorの略称で、訳すと“相補型金属酸化膜半導体”となります。相補型とは、PチャネルMOS FET(Field Effect Transistor：電界効果トランジスタ)とNチャネルMOS FETという特性の異なる二つの電界効果トランジスタを、相互に特性を補うように接続された構成のことです。CMOSの構造を理解するには、そのパーツである、Pチャネル(以後、P-ch)FETと、Nチャネル(以後、N-ch)FETの構造を知っておく必要があります。

図2.1に、P-ch FETの断面図を示します。シリコン基板に形成された大きなN型拡散層の中に二つの小さなP型拡散層があり、ここから電極を引き出してソースとドレインを形成します。一方、二つの対向するP型拡散層の間のシリコン酸化膜(SiO_2)上に置かれた多結晶シリコンから電極を引き出し、ゲートとします。

基板電位を基準にして、ゲートに“負”の電位を印加すると、ゲート直下のN

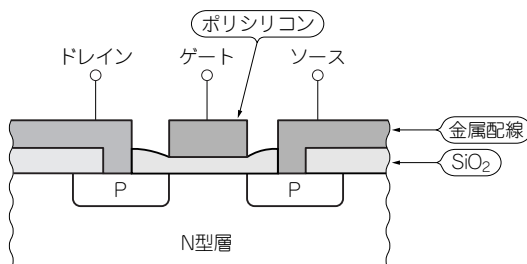


図2.1 P-ch FETの断面図

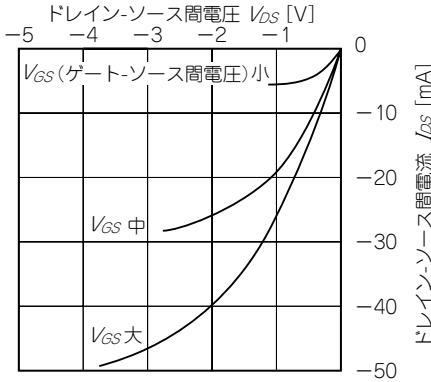


図2.2 P-ch FETの特性

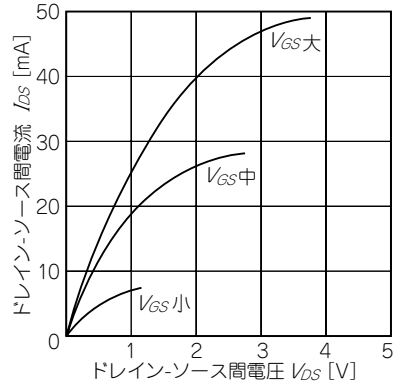


図2.4 N-ch FETの特性

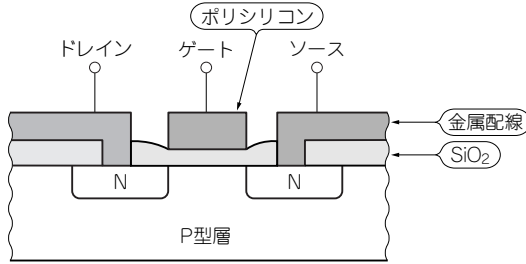


図2.3 N-ch FETの断面図

型拡散層の表面がP型に反転し、これがソースとドレイン間で電流が流れる道になります。これをチャンネルと呼びます。ゲートに印加される電圧が大きくなると、ドレイン-ソース間に電流が流れやすくなり、図2.2のような特性を示します。対向するチャンネルの長さが短くなるほど、またゲート酸化膜の厚みが薄いほど、この電流特性は向上します。

同様に、図2.3のように、P型拡散層の中に二つのN型拡散層を設け、これをソース、ドレインとすると、N-ch MOS FETの基本構造となります。N-ch MOS FETでは、ゲートに“正”の電位を印加すると、ゲート酸化膜の直下に電流の流れるチャンネルが形成され、図2.4のような特性を示します。

図2.2、図2.4でわかるように、P-ch MOS FETとN-ch MOS FETは対称的な特性になっています。前者は正孔(Hole)が、後者は電子(Electron)が電流を流すことに寄与しています。これをキャリアと呼びます。

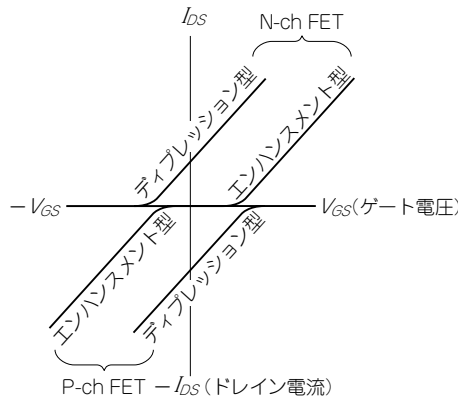


図2.5 エンハンスメント型とディプレッション型

ゲート電圧がある一定の値以上になると電流が流れ出すタイプを、エンハンスメント型と呼び、ソース-ドレイン間に電流が流れはじめるゲート電圧をスレッショルド電圧(しきい値電圧)と呼びます。これに対して、ゲート電圧0Vでもドレイン-ソース間に電流が流れるタイプを、ディプレッション型と呼びます。エンハンスメント型とディプレッション型のゲート電圧(V_{GS})対ドレイン電流(I_{DS})の関係を図2.5に示しました。エンハンスメント型は消費電力面で優れており、ディプレッション型は応答速度の面で優れています。CMOSデバイスでは、その誕生の背景が低消費電力であることから、エンハンスメント型を基本としながら、応答速度の改善が進んでいます。

CMOSは、これらP-ch MOS FETとN-ch MOS FETを同一(シリコン)基板上に形成し、それぞれの特性を互いに補うようにして、消費電力や雑音余裕度(誤動作のしにくさ)で優れた特性をもたせた回路方式です。

次に、一対のP-chとN-chの各MOS FETで構成される、もっとも基本的な論理回路であるインバータ回路を例にとって、CMOSの構造を説明します。

シリコン基板を半導体デバイスにするとき、ごく微量の不純物を混ぜる必要があります。この不純物によって、N型シリコン基板、またはP型シリコン基板になります。どちらを用いるかですが、昨今ではどちらの基板を用いてもCMOSの性能にあまり影響がないようなLSI製造技術が確立されており、シリコン基板の供給能力や価格などから、どちらのタイプを用いるかを定める傾向にあります。

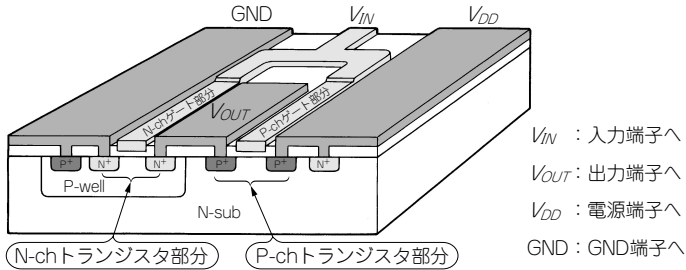


図2.6 CMOSインバータの構造

N型基板にN型MOS FETを形成するには、前もってP型拡散層を作っておき、その中にN-chのソースとドレインを形成します。P型基板にP型MOS FETを形成するには、前もってN型拡散層を作っておき、その中にP-chのソースとドレインを形成すればよいわけです。

図2.6は、CMOSインバータの基本的な構造の断面図です。N型基板上にP型の拡散層を設け、P-chを形成します。一方、N-chは、N型基板上にいったんP型拡散層(P-well)を設け、この中に形成します。これら二つのMOS FETを金属配線(アルミ、銅など)で、次のように結線します。

- ▶ ゲート同士を結んで入力端子とする
- ▶ ドレイン同士を結んで出力端子とする
- ▶ P-chのソースとN型基板を結んで電源端子とする
- ▶ N-chのソースとP-wellを結んでGND端子とする

このようにすることによって、CMOSインバータの基本構造が完成します。これを実際の回路レイアウトで見ると、図2.7のようになります。図2.6において、P-chソースならびに電源と接続されているP⁺層は、P-wellに電源を供給するための接続部(コンタクト)を示しています。また、N-chソースならびにGNDと接続されているN⁺層も、N型基板をGNDレベルにするためのコンタクトです。

これまでチップの構造について述べてきましたが、実際の製品はプラスチック(エポキシ系樹脂が主)パッケージに封止され、電極リードが露出した形をしています。CMOSデバイスに固有のパッケージというものではありませんが、半導体デバイス全体に共通したもっともポピュラーなパッケージの内部構造を次に紹

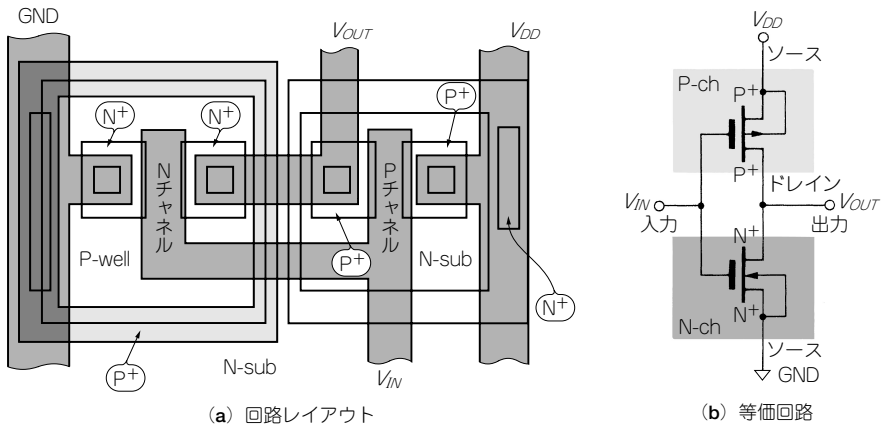


図2.7 CMOSインバータの回路レイアウトと等価回路

紹介します。図2.8は、標準CMOS ICの構造例です。主な構成要素を以下に示します。

- ▶ IC チップ
- ▶ ボンディング・ワイヤ
- ▶ リード・フレーム (ICチップを乗せる金属フレーム)
- ▶ 樹脂

ボンディング・ワイヤはICチップの電極とリード・フレームをつなぐ役目をし、リード・フレームはパッケージの外に電極リードとして露出させます。ボンディング・ワイヤの素材は金、アルミ、銅などが使われています。リード・フレ

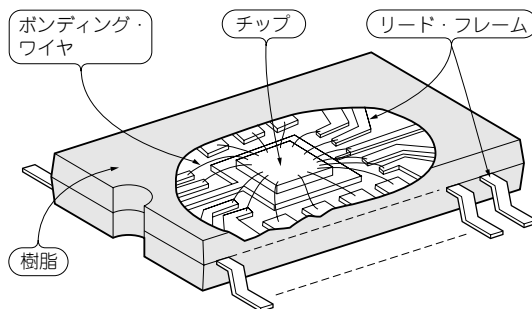


図2.8 標準CMOS ICの構造

ームには、銅系合金や鉄ニッケル合金などが一般的に使われます。ICチップがリード・フレームに搭載される部分はベッドと呼ばれ、ペーストと呼ばれる接着剤で接合されます。

樹脂はICチップを外気から保護する役割があり、エポキシ系樹脂が一般的に使われます。樹脂を選定するには、熱ストレスに対するICチップ、リード・フレームとの相性が重要です。ICは240℃程度の高温ではんだ実装が行われるため、もし相性が悪いとパッケージが割れたり、リード・フレームとの界面が剥離し、長期の信頼性に悪影響を及ぼします。たとえば、水分の浸透により、ICチップ表面が腐食し、断線するようなことが考えられます。

2-2 デザイン・ルール

半導体デバイスの製造技術を示す指標として、デザイン・ルールという言葉が使われます。デザイン・ルールとは、半導体デバイスを設計する際の最小寸法をいいます。図2.9に、設計寸法で定義するパターン・レイアウトの例を示します。MOS FETのゲート長、上下構造の接続部分寸法、必要なスペース、金属配線幅などのうち、通常もっとも微細化・最小寸法が要求されるのは、MOS FETの能力そのものを左右するゲート長です。したがって、通常デザイン・ルールという

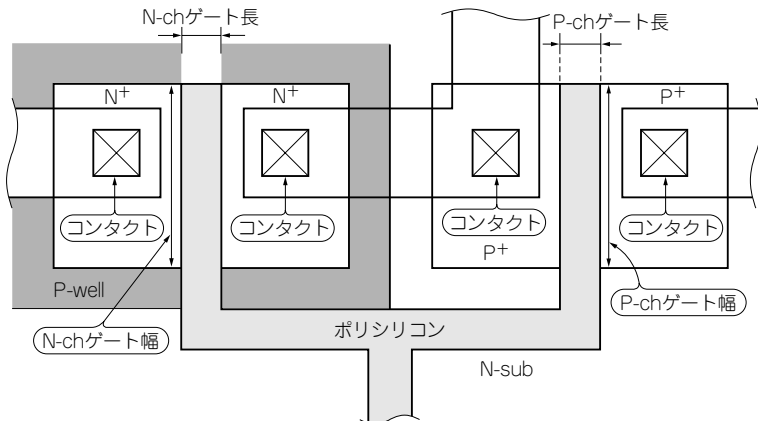


図2.9 レイアウト上でのデザイン・ルール

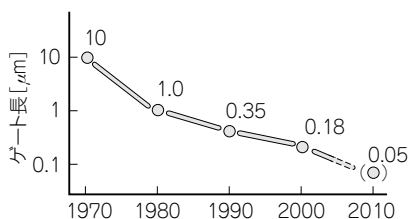


図2.10 デザイン・ルールの変遷

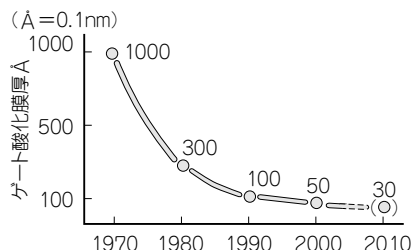


図2.11 ゲート酸化膜厚のトレンド

と最小ゲート長を指しています。幅と長さを間違えやすいので、注意が必要です。

図2.10に、デザイン・ルールの変遷を示します。1970年頃のCMOSのデザイン・ルールは10ミクロン(マイクロメートル： $\mu\text{m} = 10^{-6}\text{m}$)程度でしたが、1980年では1ミクロン、そして最近では0.1ミクロン以下、つまり100ナノ(ナノメートル： $\text{nm} = 10^{-9}\text{m}$)以下の設計基準を用いたLSIが誕生しています。このデザイン・ルールのトレンドは、ムーアの法則と呼ばれています。

それでは、どこでこの最小寸法が決まるのでしょうか。CMOSデバイスは、シリコン基板から拡散層を形成し、酸化膜をつけ、ゲート電極を置いて金属配線ですなげます。これらの過程は、すべて感光剤(レジスト)塗布、露光、エッチングという製造工程を繰り返し行って進んでいきます。感光剤の感度や塗布むら、焦点を合わせて露光するためのガラス・マスク上に描画されたパターン精度、ガラス自身の耐久性、合わせ精度、エッチングの時間制御、ばらつきなど、製造設備、材料、およびこれらの歪みや精度によってデザイン・ルールの限界が決まります。

一方、デザイン・ルールは、平面だけの基準ではなく、厚さ方向の基準も設定されます。たとえば、性能上もっとも重要なトランジスタ形成部のゲート下の酸化膜厚はその代表です。図2.11に、ゲート酸化膜厚のトレンドを示します。トランジスタ形成部以外の場所では、予期せぬ寄生チャネルができないように、酸化膜厚を逆に厚くする必要があります。また、金属配線はデバイスに流す電流容量を支配するため、厚みと幅の両方の基準が必要です。

図2.12に、CMOSを設計する際に定義されるデザイン・ルールを示します。二次平面上に記載した“ λ ”が最小寸法となります。もし、何らかのミスで最小

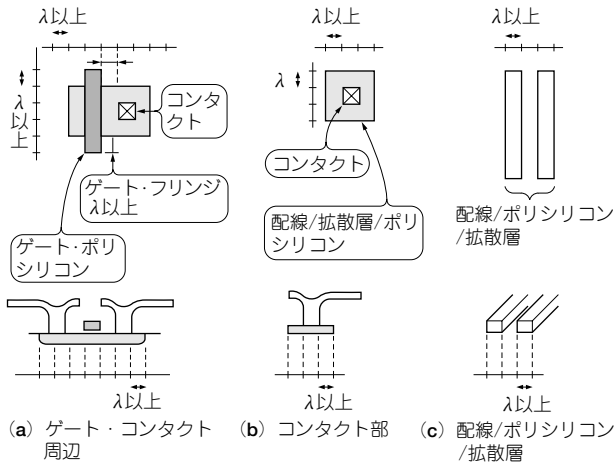


図2.12 デザイン・ルールの例

寸法を犯す箇所があった(デザイン・バイオレーション)なら、次のような欠陥や不良が発生することになります。

(1) 金属配線, ポリシリコン, 拡散層の距離/ピッチ

配線が隣とくっつく(ショート), 配線幅が狭く断線(規定の電量を流せない), チャンネルが短くなりトランジスタがディプレッション特性を示す(静的消費電流の増加)

(2) 接合, コンタクトの面積

配線が接合されない(断線/オープン), 接合面積が小さく定格内の電流でも断線する

(3) ゲート・コンタクトの余裕

チャンネル長が短くなり, トランジスタがディプレッション特性を示す(静的消費電流の増加), ゲートとソース/ドレイン間の耐圧が低下(壊れやすくなる)

また, 断面図でわかるように, ゲート酸化膜とフィールド酸化膜の厚さの差は歴然としています。ゲート酸化膜やフィールド酸化膜の膜厚がデザイン・ルールを下回った場合は, 低い電圧で壊れる, トランジスタがディプレッション特性を示す(静的消費電流の増加), 不用意な部位に寄生トランジスタが形成される(フィールド酸化膜厚が薄い場合)などが考えられます。